

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application)

Applicants: Yoshio Dejima)

Serial No.)

Filed: March 8, 2004)

For: THIN FILM TRANSISTOR)
SUBSTRATE AND METHOD)
FOR FABRICATING THE SAME)

I hereby certify that this paper is being deposited with the United States Postal Service as EXPRESS MAIL in an envelope addressed to: MS Patent Application, Commissioner for Patents, Alexandria, VA 22313-1450, on this date.

Mar. 8, 2004
Date


Express Mail No. EV032702583US

CLAIM FOR PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:


Applicant claims foreign priority benefits under 35 U.S.C. § 119 on the basis of the foreign application identified below:

Japanese Patent Application No. 2003-070504, March 14, 2003.

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By 

Patrick G. Burns
Registration No. 29,367

March 8, 2004
300 South Wacker Drive
Suite 2500
Chicago, Illinois 60606
Telephone: 312.360.0080
Facsimile: 312.360.9315

Patricia J. Buma
(312) 366-0080
0828.70005

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2003年 3月14日

出願番号
Application Number:

特願 2003-070504

[ST. 10/C] :

[JP 2003-070504]

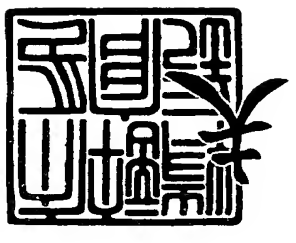
出願人
Applicant(s):

富士通マイクロエレクトロニクス株式会社

特許庁長官
Commissioner,
Japan Patent Office

今井 康

2004年 2月 5日



【書類名】 特許願

【整理番号】 0350371

【提出日】 平成15年 3月14日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/136

【発明の名称】 薄膜トランジスタ基板の製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
ディスプレイテクノロジーズ株式会社内

【氏名】 出島 芳夫

【特許出願人】

【識別番号】 302036002

【氏名又は名称】 富士通ディスプレイテクノロジーズ株式会社

【代理人】

【識別番号】 100092152

【弁理士】

【氏名又は名称】 服部 毅巖

【電話番号】 0426-45-6644

【手数料の表示】

【予納台帳番号】 009874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0213490

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタ基板の製造方法

【特許請求の範囲】

【請求項 1】 スタガー型の薄膜トランジスタ基板の製造方法において、ハーフトーンマスクを用いて、レジストに対する 1 回の露光により、異なる領域に異なる膜厚のレジストパターンを形成する工程を有することを特徴とする薄膜トランジスタ基板の製造方法。

【請求項 2】 前記薄膜トランジスタ基板のドレインバスラインを形成するドレインバスライン形成領域と前記薄膜トランジスタ基板の薄膜トランジスタを形成する薄膜トランジスタ形成領域をマスクするレジストパターンを形成する際に、前記ハーフトーンマスクを用いて、レジストに対する 1 回の露光により、前記薄膜トランジスタ形成領域内の前記薄膜トランジスタのチャネルを形成するチャネル形成領域と、前記ドレインバスライン形成領域および前記薄膜トランジスタ形成領域内の前記チャネル形成領域以外の領域とに、レジストの膜厚が異なるレジストパターンを形成することを特徴とする請求項 1 記載の薄膜トランジスタ基板の製造方法。

【請求項 3】 前記薄膜トランジスタ基板のゲートバスラインを形成するゲートバスライン形成領域と前記薄膜トランジスタ基板の画素電極を形成する画素電極形成領域をマスクするレジストパターンを形成する際に、前記ハーフトーンマスクを用いて、レジストに対する 1 回の露光により、前記ゲートバスライン形成領域と前記画素電極形成領域とにレジストの膜厚が異なるレジストパターンを形成することを特徴とする請求項 1 記載の薄膜トランジスタ基板の製造方法。

【請求項 4】 スタガー型の薄膜トランジスタ基板の製造方法において、基板上に動作層を介して形成されたドレインバスライン層上にレジストを形成する工程と、

ハーフトーンマスクを用いて前記レジストを露光し、薄膜トランジスタ基板のドレインバスラインを形成するドレインバスライン形成領域と前記薄膜トランジスタ基板の薄膜トランジスタを形成する薄膜トランジスタ形成領域とに、前記薄膜トランジスタのチャネルを形成するチャネル形成領域のみ膜厚をより薄くした

レジストパターンを形成する工程と、

前記レジストパターンを用いて前記ドレインバスライン層をエッチングする工程と、

前記チャネル形成領域の薄く形成されたレジストが除去されるまで前記レジストパターンをアッシングする工程と、

アッシング後に残る前記レジストパターンを用いて前記動作層をチャネルエッチングする工程と、

を有することを特徴とする薄膜トランジスタ基板の製造方法。

【請求項 5】 前記基板上に前記動作層を介して形成された前記ドレインバスライン層上に前記レジストを形成する工程においては、前記基板と前記動作層との間に遮光膜を設け、前記動作層を介して形成された前記ドレインバスライン層上に前記レジストを形成することを特徴とする請求項 4 記載の薄膜トランジスタ基板の製造方法。

【請求項 6】 アッシング後に残る前記レジストパターンを用いて前記動作層をチャネルエッチングする工程の後に、

アッシング後に残る前記レジストパターンを除去し、全面に絶縁膜を形成して前記絶縁膜に前記ドレインバスライン層に達するコンタクトホールを形成する工程と、

前記薄膜トランジスタ基板のゲートバスラインを形成するゲートバスライン形成領域と前記コンタクトホールが形成された領域とを除き、入射する光を散乱させる凹凸層を形成する工程と、

ゲートバスライン層を形成し、前記ゲートバスライン層上に、前記ゲートバスライン形成領域と前記薄膜トランジスタ基板の画素電極を形成する画素電極形成領域とをマスクするレジストパターンを形成する工程と、

前記レジストパターンを用いて前記ゲートバスライン層をエッチングする工程と、

を有することを特徴とする請求項 4 記載の薄膜トランジスタ基板の製造方法。

【請求項 7】 スタガー型の薄膜トランジスタ基板の製造方法において、基板上に動作層を介してドレインバスライン層を形成し、エッチングにより、

薄膜トランジスタ基板のドレインバスラインを形成し、前記動作層に前記薄膜トランジスタ基板の薄膜トランジスタのチャンネルとなる部分を形成する工程と、

絶縁膜を形成して前記絶縁膜に前記ドレインバスライン層に達するコンタクトホールを形成する工程と、

前記コンタクトホールが形成された前記絶縁膜上に透明導電膜層とゲートバスライン層とを積層形成し、前記ゲートバスライン層上に、ハーフトーンマスクを用いて、前記薄膜トランジスタ基板のゲートバスラインを形成するゲートバスライン形成領域と前記薄膜トランジスタ基板の画素電極を形成する画素電極形成領域とに、前記画素電極形成領域のレジストの膜厚が前記ゲートバスライン形成領域のレジストの膜厚より薄いレジストパターンを形成する工程と、

前記レジストパターンを用いて前記ゲートバスライン層と前記透明導電膜層とをエッチングする工程と、

前記画素電極形成領域の薄く形成されたレジストが除去されるまで前記レジストパターンをアッシングする工程と、

アッシング後に残る前記レジストパターンを用いて前記画素電極形成領域の前記ゲートバスライン層をエッチングする工程と、

を有することを特徴とする薄膜トランジスタ基板の製造方法。

【請求項 8】 前記基板上に前記動作層を介して前記ドレインバスライン層を形成し、前記薄膜トランジスタ基板の前記ドレインバスラインを形成し、前記動作層に前記薄膜トランジスタ基板の前記薄膜トランジスタの前記チャンネルとなる部分を形成する工程においては、前記基板と前記動作層との間に遮光膜を設け、前記動作層を介して前記ドレインバスライン層を形成し、前記薄膜トランジスタ基板の前記ドレインバスラインを形成し、前記動作層に前記薄膜トランジスタ基板の前記薄膜トランジスタの前記チャンネルとなる部分を形成することを特徴とする請求項 7 記載の薄膜トランジスタ基板の製造方法。

【請求項 9】 前記絶縁膜を形成して前記絶縁膜に前記ドレインバスライン層に達する前記コンタクトホールを形成する工程においては、前記ドレインバスライン層と前記透明導電膜層とをコンタクトするためのコンタクトホールと前記薄膜トランジスタ基板の端子のコンタクトホールとを形成することを特徴とする

請求項 7 記載の薄膜トランジスタ基板の製造方法。

【請求項 10】 スタガー型の薄膜トランジスタ基板の製造方法において、
基板上に動作層を介してドレインバスライン層を形成し、エッチングにより、
薄膜トランジスタ基板のドレインバスラインを形成し、前記動作層に前記薄膜ト
ランジスタ基板の薄膜トランジスタのチャンネルとなる部分を形成する工程と、
絶縁膜と透明導電膜層とを積層形成する工程と、
前記透明導電膜層上に、ハーフトーンマスクを用いて、前記絶縁膜に形成する
コンタクトホール領域が開口され前記薄膜トランジスタ基板の画素電極を形成
する画素電極形成領域のみレジストの膜厚をより厚くしたレジストパターンを形
成する工程と、
前記レジストパターンを用いて前記絶縁膜と前記透明導電膜層とをエッチング
して前記コンタクトホールを形成する工程と、
前記画素電極形成領域以外の領域の薄く形成されたレジストが除去されるまで
前記レジストパターンをアッシングする工程と、
アッシング後に残る前記レジストパターンを用いて前記透明導電膜層をエッチ
ングする工程と、
を有することを特徴とする薄膜トランジスタ基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜トランジスタ (Thin Film Transistor, TFT) 基板の製造方法
に関し、特に複数種のマスクを用いた複数回の露光工程を経て製造されるスタガ
ー型の TFT 基板の製造方法に関する。

【0002】

【従来の技術】

近年、液晶表示装置には、高精彩、高輝度、高品位などの表示性能の向上が強
く求められており、特に搭載される液晶パネルの TFT 基板について、その研究
開発が進められている。さらに、今日では企業収益の点から、液晶表示装置の製
造を、効率的に、かつ、より簡略化した製造プロセスで行なうことも求められる

。また、製造に要する電力や原料についても環境に配慮した製造プロセスが地球規模で求められている。

【0 0 0 3】

現在、T F T 基板の製造は、主に逆スタガー型と呼ばれる方式で行なわれており、いずれも複数枚のマスクを用いて複数回の露光工程を経て形成される。その場合、T F T 基板に形成すべきゲートバスライン層、動作アイランド層、ドレインバスライン層、保護膜層、画素電極層といった少なくとも 5 枚のマスクを用いて T F T 基板の製造が行なわれている。すなわち、逆スタガー型の T F T 基板製造には、露光工程だけでも 5 工程必要であった。そのため、このような逆スタガー型の T F T 基板製造においては、その生産性向上のため、ハーフトーンマスクを用いて露光プロセスを 3 回に削減する方法などが提案されている（例えば特許文献 1 参照）。

【0 0 0 4】

ところで、T F T 基板製造には、もうひとつスタガー型と呼ばれる方式があり、逆スタガー型とは異なる構造の T F T 基板を形成することができる。スタガー型の T F T 基板製造は、逆スタガー型の場合に比べ、例えばその構成層の連続成膜が可能である、製造過程での界面処理工程が不要である、といった利点を有している。

【0 0 0 5】

【特許文献 1】

特開 2 0 0 1 - 3 1 1 9 6 5 号公報

【0 0 0 6】

【発明が解決しようとする課題】

しかし、このようなスタガー型の T F T 基板製造においても、従来は 5 枚ないし 8 枚程度のマスクを用いた複数回の露光工程が必要であったため、その生産効率が悪く、T F T 基板の完成までには多くの日数を要していた。また、マスク枚数（種類）が多く複数回の露光工程を経るため、ゴミなどによる表示欠陥が発生する確率が高くなってしまいうという問題点があった。このように、スタガー型の T F T 基板製造においては、その生産効率、歩留り、生産コストといった点で未

だ課題が残されている。

【0007】

本発明はこのような点に鑑みてなされたものであり、TFT基板製造に要する露光工程数を削減し、生産性の良いスタガー型のTFT基板の製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明では上記課題を解決するために、図1に例示するフローによって実現可能なTFT基板の製造方法が提供される。本発明のTFT基板の製造方法は、スタガー型のTFT基板の製造方法において、ハーフトーンマスクを用いて、レジストに対する1回の露光により、異なる領域に異なる膜厚のレジストパターンを形成する工程を有することを特徴とする。

【0009】

このようなTFT基板の製造方法によれば、例えばTFT基板のドレインバスライン(DB)を形成する領域およびTFT基板のTFTを形成する領域にレジストパターンを形成する際に、ハーフトーンマスクを用いた1回の露光でそれらの領域に目的のレジストパターンが形成される(ステップS1)。あるいは、TFT基板のゲートバスライン(GB)を形成する領域およびTFT基板の画素電極を形成する領域にレジストパターンを形成する際に、ハーフトーンマスクを用いた1回の露光でそれらの領域に目的のレジストパターンが形成される(ステップS4)。そのため、1枚のマスクでDBとTFTのチャンネルを形成したりGBと画素電極を形成したりすることができるので(ステップS2, S5)、スタガー型TFT基板製造に要する露光工程数が削減されるようになる。

【0010】

【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照して詳細に説明する。

まず第1の実施の形態について説明する。

【0011】

図1は第1の実施の形態のスタガー型のTFT基板の製造方法のフローを示す

図、図2から図21は各製造工程の説明図である。第1の実施の形態のスタガー型TFT基板製造は、大きく、図1のステップS1～S5に示すフローで行なわれる。以下、各ステップについて、図2から図21を参照して説明する。

【0012】

まずステップS1について説明する。図2は連続成膜工程の要部断面図、図3は第1露光工程の要部断面図である。

スタガー型TFT基板製造では、まず、図2に示すように、透明無アルカリガラスなどのガラス基板1上に、下地絶縁膜層2、動作層3、活性層4およびドレインバスライン(DB)層5を連続成膜する。これら下地絶縁膜層2、動作層3、活性層4およびDB層5は、例えばCVD (Chemical Vapor Deposition) 装置を用いて1つのチャンバ内で連続成膜される。下地絶縁膜層2は、 Si_3N_4 、 SiO_2 、 SiON などを用いて、50nm～200nm程度の膜厚になるよう形成し、動作層3および活性層4は、アモルファスシリコン(a-Si)を用いて、それぞれ10nm～300nm程度の膜厚になるよう形成する。活性層4は、その後、ホスフィンなどで処理して n^+ 層とする。また、DB層5は、後にTFT基板に形成されるTFTのゲート絶縁膜が、動作層3の成膜などに比べて、プラズマCVD (P-CVD) 装置などを用いた高温工程で形成されることを考慮して、Cr、Mo、Tiなどの高融点金属(合金を含む)を用いて形成する。DB層5は、100nm～300nm程度の膜厚で形成する。なお、DB層5の形成にはスパッタ法を用いることも可能である。

【0013】

続いて、図3に示すように、DB層5上に形成した感光性レジスト6aに対してハーフトーンマスクを用いた第1露光を行ない、レジストパターンを形成する。ここで形成するレジストパターンは、TFT基板のDBを形成する領域(DB形成領域)とTFT基板のTFTを形成する領域(TFT形成領域)をマスクするように形成される。さらに、この第1露光工程では、ハーフトーンマスクを用いた露光により、TFT形成領域のうち、TFTのチャネルを形成する領域(チャネル形成領域)の感光性レジスト6aの膜厚が、チャネル形成領域以外の領域の感光性レジスト6aの膜厚よりも薄くなるようにして形成される。ハーフトー

ンマスクには、半透過膜を使用したタイプや多孔タイプのものを用いることができる。

【0014】

ここで、ハーフトーンマスクについて説明する。図4は半透過膜を用いたハーフトーンマスクの説明図、図5は多孔タイプのハーフトーンマスクの説明図である。ただし、図5では、図4に示した要素と同一の要素については同一の符号を付し、その説明の詳細は省略する。

【0015】

図4に示す半透過膜を用いたハーフトーンマスク100は、マスク基板となる石英板101上に、入射光がある程度透過する半透過膜102が形成され、さらに、その半透過膜102上に部分的に、入射光の通過を遮断する遮光膜103が形成された構造を有している。半透過膜102には、クロム系(CrON)、モリブデン系(MoSiON)、タンゲステン系(WSiON)、シリコン系(SiN)などの材料が用いられる。また、遮光膜103には、例えばCrなどの金属材料が用いられる。半透過膜102および遮光膜103は、石英板101上にそれぞれ適当なパターンと膜厚で形成される。石英板101上に半透過膜102のみが形成されている領域は、入射光の半透過領域となり、半透過膜102と遮光膜103が積層形成されている領域は、入射光の遮光領域となる。このようなハーフトーンマスク100を用いて、ガラス基板104上に被エッチング膜105を介して形成された感光性レジスト106を露光すると、半透過領域の感光性レジスト106aの膜厚が、遮光領域の感光性レジスト106bの膜厚よりも薄く形成されるようになる。

【0016】

また、図5に示す多孔タイプのハーフトーンマスク100aは、石英板101上にスリットを設けた遮光膜103aが1層形成されていて、そのスリットが形成された領域が入射光の半透過領域になる。感光性レジスト106に対して異なる膜厚のレジストパターンを形成することができる点は、図4の半透過膜を用いたハーフトーンマスク100と同じである。

【0017】

図4および図5に示したようなハーフトーンマスクを用いることにより、1回の露光で異なる領域に異なる膜厚のレジストパターンを形成することができる。また、半透過膜の膜厚や材質を変更するなどして、2種以上の異なる膜厚のレジストパターンを形成することもできる。

【0018】

このようなハーフトーンマスクを用いて、図3に示したように、感光性レジスト6aに対する第1露光により、DB形成領域およびTF T形成領域に、それぞれの領域に応じた膜厚のレジストパターンを形成する。図6は第1露光工程後のエッチング工程の要部断面図である。第1露光工程でのレジストパターン形成後は、図6に示すように、そのレジストパターンをマスクにして、DB層5、活性層4および動作層3を、ウェットエッチングまたはドライエッチングする。

【0019】

次にステップS2について説明する。ステップS2では、第1露光工程後に行なわれるエッチング工程に続き、レジストパターンのアッシング、チャネルエッチング、レジスト剥離が行なわれる。図7は第1アッシング工程の要部断面図、図8はチャネルエッチング工程の要部断面図、図9はチャネルエッチング工程後のレジスト剥離工程の要部断面図、図10はチャネルエッチング工程後のレジスト剥離工程におけるTF T基板の基本構造の要部平面図である。なお、図9は図10のA-A断面図である。また、図10には、便宜上、DB層下層の動作層も図示している。

【0020】

図6に示したDB層5、活性層4および動作層3のエッチング後は、感光性レジスト6aのレジストパターンに対してO₂を用いてアッシングを行ない、図7に示すように、チャネル形成領域のDB層5上の感光性レジスト6aを除去し、DB層5を露出させる。そして、図8に示すように、残った感光性レジスト6aをマスクにしてチャネル形成領域のDB層5および活性層4をウェットエッチングまたはドライエッチングする。チャネル形成領域の動作層3のエッチング（チャネルエッチング）は、動作層3をエッチオフせずにウェットエッチングまたはドライエッチングする。これにより、TF Tのチャネルとなる部分が形成され、

このチャネルエッチングは、そのチャネルとなる部分の動作層 3 の膜厚が、TFT 基板に形成すべき TFT に要求される最適な膜厚となるように行なう。チャネルエッチング後は感光性レジスト 6 a を剥離し、これにより、図 9 および図 10 に示すような TFT 基板の基本構造が形成される。

【0021】

次にステップ S3 について説明する。図 11 は絶縁膜形成工程の要部断面図、図 12 は第 2 露光工程の要部断面図、図 13 は絶縁膜エッチング工程の要部断面図、図 14 は絶縁膜エッチング工程における TFT 基板の基本構造の要部平面図、図 15 は透明導電膜層および GB 層の成膜工程の要部断面図である。なお、図 13 は図 14 の B-B 断面図である。また、図 14 には、便宜上、DB 層下層の動作層も図示している。

【0022】

図 9 および図 10 に示した TFT 基板の基本構造形成後、図 11 に示すように、全面に、P-CVD 装置を用いて絶縁膜 7 を形成する。ここで、絶縁膜 7 には、 Si_3N_4 、 SiO 、 SiON などを用いることができる。この絶縁膜 7 のうちチャネル形成領域に形成された部分は、後に完成する TFT のゲート絶縁膜として機能するようになるため、P-CVD 装置を用いて $250^\circ\text{C} \sim 300^\circ\text{C}$ 程度の高温条件で緻密な膜として形成される。また、絶縁膜 7 の膜厚は、その材質および形成する TFT の要求特性に応じて、 $100\text{ nm} \sim 500\text{ nm}$ 程度の範囲で適当に設定する。

【0023】

絶縁膜 7 の形成後、図 12 に示すように、絶縁膜 7 上に感光性レジスト 6 b を形成して第 2 露光を行ない、絶縁膜 7 にコンタクトホールを形成する領域（コンタクトホール形成領域）を断面テーパ状に開口したレジストパターンを形成する。この第 2 露光工程後、そのレジストパターンをマスクにして絶縁膜 7 をウェットエッチングまたはドライエッチングし、その後、感光性レジスト 6 b を剥離する。これにより、図 13 および図 14 に示すように、最上層が絶縁膜 7 に覆われ、その絶縁膜 7 の一部に DB 層 5 が露出するコンタクトホール 7 a が形成された TFT 基板の基本構造が形成される。

【0024】

感光性レジスト6bの剥離後は、図15に示すように、全面に、透明導電膜層8およびGB層9を、この順に成膜する。ここで、透明導電膜層8は、ITO (Indium Tin Oxide)などをCVD法やスパッタ法により30nm～100nm程度の膜厚で形成する。また、GB層9には、膜の安定性、低抵抗性を考慮し、Cr, Mo, Ti, Alなどを用いることができ、GB層9は、CVD法やスパッタ法により100nm～300nm程度の膜厚で形成する。この工程により、透明導電膜層8は、コンタクトホール7a内で露出していたDB層5と直接コンタクトされるようになる。

【0025】

次にステップS4について説明する。図16は第3露光工程の要部断面図、図17は透明導電膜層およびGB層のエッチング工程の要部断面図、図18は第2アッシング工程の要部断面図である。

【0026】

図15に示した透明導電膜層8およびGB層9の成膜後は、図16に示すように、感光性レジスト6cを形成し、再びハーフトーンマスクを用いて第3露光を行なう。この第3露光工程で、TFT基板のGBを形成する領域（GB形成領域）とTFT基板の画素電極を形成する領域（画素電極形成領域）をマスクするレジストパターンが形成される。その際、そのレジストパターンを形成している感光性レジスト6cは、画素電極形成領域の膜厚が、GB形成領域の膜厚よりも薄くなるようにして形成される。次いで、図17に示すように、そのレジストパターンをマスクにして、GB層9および透明導電膜層8をウェットエッチングまたはドライエッチングする。その後、図18に示すように、画素電極形成領域の感光性レジスト6cがなくなるまでO₂でアッシングを行ない、GB形成領域にのみ感光性レジスト6cを残す。

【0027】

次にステップS5について説明する。図19はGB層エッチング工程の要部断面図、図20はGB層エッチング工程後のレジスト剥離工程の要部断面図、図21はTFT基板の要部平面図である。なお、図20は図21のC-C断面図であ

る。また、図 21 には、便宜上、DB 層下層の動作層も図示している。

【0028】

図 18 のアッシング後には、図 19 に示すように、GB 形成領域に残った感光性レジスト 6c をマスクにして画素電極形成領域にある GB 層 9 をウェットエッチングまたはドライエッチングし、その後、感光性レジスト 6c を剥離する。これにより、図 20 および図 21 に示すように、DB および GB となる配線とともに、ガラス基板 1 上に下地絶縁膜層 2 を介してチャンネル 3a が形成された動作層 3、動作層 3 上に活性層 4 を介して形成された DB 層 5、およびチャンネル 3a 上に絶縁膜 7 並びに透明導電膜層 8 を介して形成された GB 層 9 を有する TFT 基板 10 が形成される。

【0029】

この TFT 基板 10 において、露出する透明導電膜層 8 は画素電極として機能し、その透明導電膜層 8 の下側にコンタクトされた DB 層 5 は TFT のソース電極として機能する。チャンネル 3a を挟んだもう一方の DB 層 5 は TFT のドレイン電極として機能し、最上層にある GB 層 9 は TFT のゲート電極として機能する。ゲート電極とチャンネル 3a との間にある絶縁膜 7 は TFT のゲート絶縁膜となる。

【0030】

以上説明したように、第 1 の実施の形態のスタガー型の TFT 基板の製造方法では、第 1 露光工程における DB 形成領域、TFT 形成領域並びにチャンネル形成領域の露光、および第 3 露光工程における GB 形成領域並びに画素電極形成領域の露光を、それぞれ 1 枚のハーフトーンマスクを用いて行なう。すなわち、従来は DB 形成領域と TFT 形成領域の 2 つの領域、チャンネル形成領域、GB 形成領域および画素電極形成領域の各露光をそれぞれ別個の 4 枚のマスクを用いて行なう必要があったのに対し、この第 1 の実施の形態では、2 枚のハーフトーンマスクを用いて行なう。これにより、従来 4 回必要であった露光工程を 2 回に削減することができ、TFT 基板製造全体では、上記第 2 露光工程と合わせて、合計 3 回の露光工程で済むようになり、製造工程を簡略化して、その生産性を向上させることができる。また、このように露光工程を削減することにより、TFT 基板

製造の歩留りを向上させ、さらに、その生産コストも削減できるようになる。

【0031】

なお、上記第1の実施の形態のスタガー型のTF T基板の製造方法においては、1回の露光工程にのみハーフトーンマスクを用いるようにしてもよい。すなわち、DB形成領域、TF T形成領域およびチャネル形成領域の1回の露光にのみハーフトーンマスクを用い、GB形成領域および画素電極形成領域については通常のマスクを用いてそれぞれ露光を行なうようにすることができる。また、GB形成領域および画素電極形成領域の1回の露光にのみハーフトーンマスクを用い、DB形成領域、TF T形成領域およびチャネル形成領域については通常のマスクを用いてそれぞれ露光を行なうようにすることもできる。

【0032】

また、上記第1の実施の形態のスタガー型のTF T基板の製造方法において、ガラス基板1はもともと絶縁性であるため、下地絶縁膜層2は必ずしも成膜する必要はない。下地絶縁膜層2を成膜しない場合には、ガラス基板1上に動作層3を成膜した後、以降上記手順に従い、TF T基板を製造すればよい。

【0033】

また、図8に示した上記チャネルエッチング工程においては、DB層5をエッチングした後、アッシングなどにより全ての感光性レジスト6aを除去し、露出したDB層5をマスクにして、活性層4および動作層3をエッチングするようにしてもよい。これにより、先の図7に示した上記第1アッシング工程でのアッシングによって感光性レジスト6aが収縮することによるエッチング後のチャネル幅の設計寸法からのずれの発生を抑制することができるようになり、より精度の良いチャネルエッチングが可能になる。

【0034】

また、図12および図13に示した上記第2露光工程および上記絶縁膜エッチング工程では、コンタクトホール7aの形成と同時に、DB層5の端子となる部分および蓄積容量バスライン(CB)層の端子となる部分(共に図12および図13には図示せず)についても、絶縁膜7にコンタクトホールを形成するようにしてもよい。

【0035】

ここで、TFT基板の端子構造について説明する。図22は第1の実施の形態のTFT基板の要部平面図、図23は図22のD-D断面図である。ただし、図22には、便宜上、DB層下層の動作層も図示している。第1の実施の形態のTFT基板製造においては、DB層5端部に形成されるドレイン端子は、図22および図23に示すように、透明導電膜層8が、DB層5上に絶縁膜7に一部オーバーラップして形成された構造を有している。このドレイン端子は、DB層5上の絶縁膜7にコンタクトホールを形成して、以下の図24から図29に示すような構造とすることも可能である。

【0036】

図24はドレイン端子構造を説明するTFT基板の要部平面図、図25は図24のE-E断面図である。ただし、図24には、便宜上、DB層下層の動作層も図示している。図24および図25に示すドレイン端子は、DB層5上の絶縁膜7に形成されたコンタクトホール7bを介して、DB層5、透明導電膜層8およびGB層9が接続されている。このような構造のドレイン端子は、まず、上記の図12および図13における絶縁膜7のエッチング工程の際、コンタクトホール7aの形成と同時に、ドレイン端子を形成する部分（ドレイン端子形成部分）にもコンタクトホール7bを形成する。そして、図15の透明導電膜層8およびGB層9の成膜工程を経て、図16の第3露光工程でドレイン端子形成部分をGB形成領域とみなして、GB形成領域と共にドレイン端子形成部分にも膜厚の厚い感光性レジスト6cを形成するようにする。以降は図17から図21に示した上記各工程と同様である。このように、ドレイン端子形成部分にもコンタクトホール7bを形成し、ドレイン端子のDB層5を透明導電膜層8からGB層9になぎ替えた構成とすることもできる。

【0037】

図26は別のドレイン端子構造を説明するTFT基板の要部平面図、図27は図26のF-F断面図である。ただし、図26には、便宜上、DB層下層の動作層も図示している。図26および図27に示すドレイン端子は、DB層5上の絶縁膜7に形成されたコンタクトホール7cを介して、DB層5と透明導電膜層8

が接続されている。このような構造のドレイン端子は、まず、上記の図 12 および図 13 における絶縁膜 7 のエッチング工程の際、コンタクトホール 7 a の形成と同時に、ドレイン端子形成部分にもコンタクトホール 7 c を形成する。そして、図 15 の透明導電膜層 8 および G B 層 9 の成膜工程を経て、図 16 の第 3 露光工程でドレイン端子形成部分を画素電極形成領域とみなして、画素電極形成領域と共にドレイン端子形成部分にも膜厚の薄い感光性レジスト 6 c を形成するようにする。以降は図 17 から図 21 に示した上記各工程と同様である。このように、ドレイン端子の D B 層 5 をコンタクトホール 7 c を介して透明導電膜層 8 に接続するようにつなぎ替えた構成とすることもできる。

【0038】

図 28 は C B の端子構造を説明する T F T 基板の要部平面図、図 29 は図 28 の G-G 断面図である。ただし、図 28 には、便宜上、D B 層下層の動作層も図示している。T F T 基板に C B を形成する場合には、上記の図 12 および図 13 における絶縁膜 7 のエッチングの際、コンタクトホール 7 a の形成と同時に、C B を形成する部分（C B 形成部分）にコンタクトホール 7 d を形成する。そして、図 15 の透明導電膜層 8 および G B 層 9 の成膜工程を経て、図 16 の第 3 露光工程で、C B の画素電極形成領域（透明導電膜層 8 を残す領域）は薄い膜厚で、C B の G B 形成領域（G B 層 9 を残す領域）は厚い膜厚で、感光性レジスト 6 c を形成するようにする。以降は図 17 から図 21 に示した上記各工程と同様にして C B が形成される。これにより、透明導電膜層 8 は、コンタクトホール 7 d を介して D B 層 5 にコンタクトされるようになる。

【0039】

このように、第 1 の実施の形態の T F T 基板製造においては、T F T 形成と同時にドレイン端子および C B の端子を形成することができ、工程数を増加させることなく、端子構造を変更することも可能である。

【0040】

次に第 2 の実施の形態について説明する。

スタガー型の T F T 基板の製造においては、ガラス基板と下地絶縁膜層との間に遮光膜を設けるようにすることもできる。図 30 は第 2 の実施の形態における

第1露光工程の要部断面図、図31は第2の実施の形態における第1露光工程後のエッチング工程の要部断面図である。ただし、図30および図31では、図3および図6に示した要素と同一の要素については同一の符号を付し、その説明の詳細は省略する。

【0041】

第2の実施の形態のTF T基板製造では、ガラス基板1上に各層を連続成膜する際、図30に示すように、まず、ガラス基板1上に遮光膜20が形成され、その上に下地絶縁膜層2、動作層3、活性層4およびDB層5が連続成膜される。遮光膜20には、例えば絶縁性樹脂材料を用いることができる。そして、第1の実施の形態と同様にして、感光性レジスト6aを形成してハーフトーンマスクを用いた第1露光を行ない、DB形成領域およびTF T形成領域に所定の膜厚のレジストパターンを形成する。この第1露光工程後のエッチング工程では、図31に示すように、感光性レジスト6aのレジストパターンをマスクにして、DB層5、活性層4、動作層3、下地絶縁膜層2および遮光膜20を、ウェットエッチングまたはドライエッチングする。以降、第1の実施の形態で述べた第1アッシング工程以降の工程と同様の工程を経て、TF T基板を形成する。

【0042】

これにより、形成されるTF T基板の動作層3の下には、遮光膜20が形成されるため、ガラス基板1側から光が入射したときにその光によって動作層3に電流が流れてしまうのを防止することができるようになる。このように、遮光膜20を有するスタガー型のTF T基板の製造においても、露光にハーフトーンマスクを用いることにより、TF T基板製造全体の露光工程数を従来よりも削減することができる。

【0043】

なお、この第2の実施の形態のTF T基板製造においても、その端子構造は、第1の実施の形態と同様に変更することが可能である。

次に第3の実施の形態について説明する。

【0044】

第3の実施の形態のスタガー型のTF T基板の製造方法においては、上記第1

の実施の形態のスタガー型のTF T基板の製造方法において図2、図3、図6から図9に示した工程は同じである。それ以降の工程について、以下、図32から図43を参照して説明する。ただし、図32から図43では、第1の実施の形態で述べた要素と同一の要素については同一の符号を付し、その説明の詳細は省略する。

【0045】

図32は絶縁膜および透明導電膜層の成膜工程の要部断面図、図33は第3の実施の形態における第2露光工程の要部断面図、図34は透明導電膜層および絶縁膜のエッチング工程の要部断面図、図35はアッシング工程の要部断面図である。

【0046】

図9に示したレジスト剥離工程後、図32に示すように、全面に、絶縁膜7および透明導電膜層8を成膜する。続いて、図33に示すように、透明導電膜層8上に感光性レジスト6bを形成し、ハーフトーンマスクを用いて第2露光を行なう。この第2露光工程では、画素電極形成領域の感光性レジスト6bの膜厚がその他の領域の感光性レジスト6bに比べて厚くなるようにする。さらに、第2露光工程では、コンタクトホール形成領域を断面テーパ状に開口したレジストパターンを形成する。次いで、図34に示すように、感光性レジスト6bのレジストパターンをマスクにして、透明導電膜層8および絶縁膜7をエッチングしてコンタクトホール7eを形成し、図35に示すように、感光性レジスト6bをアッシングする。このアッシングにより、画素電極形成領域にのみ感光性レジスト6bが残るようにする。

【0047】

図36は透明導電膜層エッチング工程の要部断面図、図37は透明導電膜層エッチング工程後のレジスト剥離工程の要部断面図、図38は透明導電膜層エッチング工程後のレジスト剥離工程におけるTF T基板の基本構造の要部平面図である。ただし、図37は図38のH-H断面図である。また、図38には、便宜上、DB層下層の動作層も図示している。

【0048】

図35に示した感光性レジスト6bのアッシング後は、図36に示すように、残っている感光性レジスト6bのレジストパターンをマスクにして、透明導電膜層8をエッチングし、その後、感光性レジスト6bを剥離する。これにより、図37および図38に示すように、画素電極形成領域に透明導電膜層8が形成されたTFT基板の基本構造が形成される。なお、この段階では、DB層5はコンタクトホール7e内に露出し、まだDB層5と透明導電膜層8とはコンタクトされていない。

【0049】

図39はGB層成膜工程の要部断面図、図40は第3の実施の形態における第3露光工程の要部断面図、図41はGB層およびソースパッドの形成工程の要部断面図、図42はGB層およびソースパッドの形成工程後のレジスト剥離工程の要部断面図、図43は第3の実施の形態のTFT基板の要部平面図である。ただし、図42は図43のI-I断面図である。また、図43には、便宜上、DB層下層の動作層も図示している。

【0050】

画素電極形成領域に透明導電膜層8を形成した後は、図39に示すように、全面にGB層9を成膜し、その後、図40に示すように、感光性レジスト6cを形成して、GB形成領域および画素電極形成領域からコンタクトホール7eの領域をマスクするレジストパターンを形成する。この感光性レジスト6cのレジストパターンをマスクにして、図41に示すように、GB層9をエッチングする。その後、感光性レジスト6cを剥離して、図42および図43に示すTFT基板30を形成する。これにより、チャンネル3a上には絶縁膜7を介して形成されたGB層9がTFTのゲート電極として形成され、かつ、DB層5と透明導電膜層8とをコンタクトするGB層9がソースパッド31として形成される。

【0051】

このように、第3の実施の形態のスタガー型のTFT基板の製造方法では、第1露光工程は第1の実施の形態と同じにし、第2の露光工程でハーフトーンマスクを用いて、コンタクトホール7e形成用の開口と画素電極形成領域の露光を行なう。この第3の実施の形態によっても、ハーフトーンマスクを第1、第2露光

工程において2回用いることで、スタガー型TF T基板製造に要する露光工程数を削減でき、生産性向上、歩留り向上、生産コスト削減が可能になる。

【0052】

なお、上記第3の実施の形態のスタガー型のTF T基板の製造方法においても、第1の実施の形態で述べたのと同様、ハーフトーンマスクを用いる露光工程を1回のみにもすることもできる。また、この第3の実施の形態のTF T基板製造においても、その端子構造は、第1の実施の形態と同様に変更することが可能である。

【0053】

次に第4の実施の形態について説明する。

第4の実施の形態のスタガー型のTF T基板の製造方法においては、上記第1の実施の形態のスタガー型のTF T基板の製造方法において図2，図3，図6から図13に示した工程は同じである。それ以降の工程について、以下、図44から図48を参照して説明する。ただし、図44から図48では、第1の実施の形態で述べた要素と同一の要素については同一の符号を付し、その説明の詳細は省略する。

【0054】

この第4の実施の形態のTF T基板は、液晶表示装置においてバックライトなどによる光の照射を要しない反射型TF T基板であり、TF T形成面側に、入射した光を乱反射させるための凹凸層が形成される。

【0055】

図44は凹凸層形成工程の要部断面図、図45はGB層成膜工程の要部断面図、図46は第4の実施の形態における第3露光工程の要部断面図である。

図13に示した絶縁膜7のエッチング工程後、図44に示すように、GB形成領域およびコンタクトホール7a部分を除く画素電極形成領域上に、表面を凹凸状にした凹凸層41を形成する。この凹凸層41は、アクリル樹脂などの樹脂材料を用いて形成することができる。次いで、図45に示すように、全面にGB層9を成膜し、その後、図46に示すように、感光性レジスト6cを形成して第3露光を行ない、GB形成領域および画素電極形成領域をマスクするレジストパタ

ーンを形成する。

【0056】

図47はGB層エッチング工程の要部断面図、図48はGB層エッチング工程後のレジスト剥離工程の要部断面図である。

レジストパターンの形成後、感光性レジスト6cをマスクにして、図47に示すように、GB層9をエッチングし、図48に示すように、感光性レジスト6cを剥離して、反射型TFT基板40を形成する。このTFT基板40において、GB形成領域にはGB層9がゲート電極として形成され、画素電極形成領域にはGB層9が反射膜としても機能する画素電極として形成される。

【0057】

このように、反射型TFT基板40の製造においては、ハーフトーンマスクを第1露光工程で1回用いることで、スタガー型TFT基板製造に要する露光工程数を削減することができるので、生産性向上、歩留り向上、生産コスト削減が可能になる。

【0058】

なお、この第4の実施の形態のTFT基板製造においても、その端子構造は、第1の実施の形態と同様に変更することが可能である。

図49は液晶表示装置の要部断面図である。

【0059】

上記第1～第4の実施の形態に例示した製造方法により得られるTFT基板51は、そのTFT形成面側に配向膜が形成され、カラーフィルタ（CF）層、コモン電極および配向膜が形成されたCF基板52と貼り合わせられる。貼り合わせたTFT基板51とCF基板52との間には液晶が封入され、それらの間に挟まれた液晶層53が形成される。そして、TFT基板51およびCF基板52の外表面側にそれぞれ偏光フィルムが貼り付けられ、液晶表示装置50が形成される。

【0060】

TFT基板51は上記の例に従って露光工程数を削減して生産性良く製造することができ、それにより、このような構成の液晶表示装置50を効率的に低コストで製造することができる。

【 0 0 6 1 】**【発明の効果】**

以上説明したように本発明では、スタガー型の T F T 基板の製造に、レジストに対する 1 回の露光によって異なる領域に異なる膜厚のレジストパターンを形成することのできるハーフトーンマスクを用いるようにした。これにより、スタガー型の T F T 基板製造に要する露光工程数を削減し、生産性、歩留りを向上させ、生産コストを削減することが可能になる。

【図面の簡単な説明】**【図 1】**

第 1 の実施の形態のスタガー型の T F T 基板の製造方法のフローを示す図である。

【図 2】

連続成膜工程の要部断面図である。

【図 3】

第 1 露光工程の要部断面図である。

【図 4】

半透過膜を用いたハーフトーンマスクの説明図である。

【図 5】

多孔タイプのハーフトーンマスクの説明図である。

【図 6】

第 1 露光工程後のエッチング工程の要部断面図である。

【図 7】

第 1 アッシング工程の要部断面図である。

【図 8】

チャンネルエッチング工程の要部断面図である。

【図 9】

チャンネルエッチング工程後のレジスト剥離工程の要部断面図である。

【図 1 0】

チャンネルエッチング工程後のレジスト剥離工程における T F T 基板の基本構造

の要部平面図である。

【図 1 1】

絶縁膜形成工程の要部断面図である。

【図 1 2】

第 2 露光工程の要部断面図である。

【図 1 3】

絶縁膜エッチング工程の要部断面図である。

【図 1 4】

絶縁膜エッチング工程における T F T 基板の基本構造の要部平面図である。

【図 1 5】

透明導電膜層および G B 層の成膜工程の要部断面図である。

【図 1 6】

第 3 露光工程の要部断面図である。

【図 1 7】

透明導電膜層および G B 層のエッチング工程の要部断面図である。

【図 1 8】

第 2 アッシング工程の要部断面図である。

【図 1 9】

G B 層エッチング工程の要部断面図である。

【図 2 0】

G B 層エッチング工程後のレジスト剥離工程の要部断面図である。

【図 2 1】

T F T 基板の要部平面図である。

【図 2 2】

第 1 の実施の形態の T F T 基板の要部平面図である。

【図 2 3】

図 2 2 の D-D 断面図である。

【図 2 4】

ドレイン端子構造を説明する T F T 基板の要部平面図である。

【図 2 5】

図 2 4 の E - E 断面図である。

【図 2 6】

別のドレイン端子構造を説明する T F T 基板の要部平面図である。

【図 2 7】

図 2 6 の F - F 断面図である。

【図 2 8】

C B の端子構造を説明する T F T 基板の要部平面図である。

【図 2 9】

図 2 8 の G - G 断面図である。

【図 3 0】

第 2 の実施の形態における第 1 露光工程の要部断面図である。

【図 3 1】

第 2 の実施の形態における第 1 露光工程後のエッチング工程の要部断面図である。

【図 3 2】

絶縁膜および透明導電膜層の成膜工程の要部断面図である。

【図 3 3】

第 3 の実施の形態における第 2 露光工程の要部断面図である。

【図 3 4】

透明導電膜層および絶縁膜のエッチング工程の要部断面図である。

【図 3 5】

アッシング工程の要部断面図である。

【図 3 6】

透明導電膜層エッチング工程の要部断面図である。

【図 3 7】

透明導電膜層エッチング工程後のレジスト剥離工程の要部断面図である。

【図 3 8】

透明導電膜層エッチング工程後のレジスト剥離工程における T F T 基板の基本

構造の要部平面図である。

【図 3 9】

G B 層成膜工程の要部断面図である。

【図 4 0】

第 3 の実施の形態における第 3 露光工程の要部断面図である。

【図 4 1】

G B 層およびソースパッドの形成工程の要部断面図である。

【図 4 2】

G B 層およびソースパッドの形成工程後のレジスト剥離工程の要部断面図である。

【図 4 3】

第 3 の実施の形態の T F T 基板の要部平面図である。

【図 4 4】

凹凸層形成工程の要部断面図である。

【図 4 5】

G B 層成膜工程の要部断面図である。

【図 4 6】

第 4 の実施の形態における第 3 露光工程の要部断面図である。

【図 4 7】

G B 層エッチング工程の要部断面図である。

【図 4 8】

G B 層エッチング工程後のレジスト剥離工程の要部断面図である。

【図 4 9】

液晶表示装置の要部断面図である。

【符号の説明】

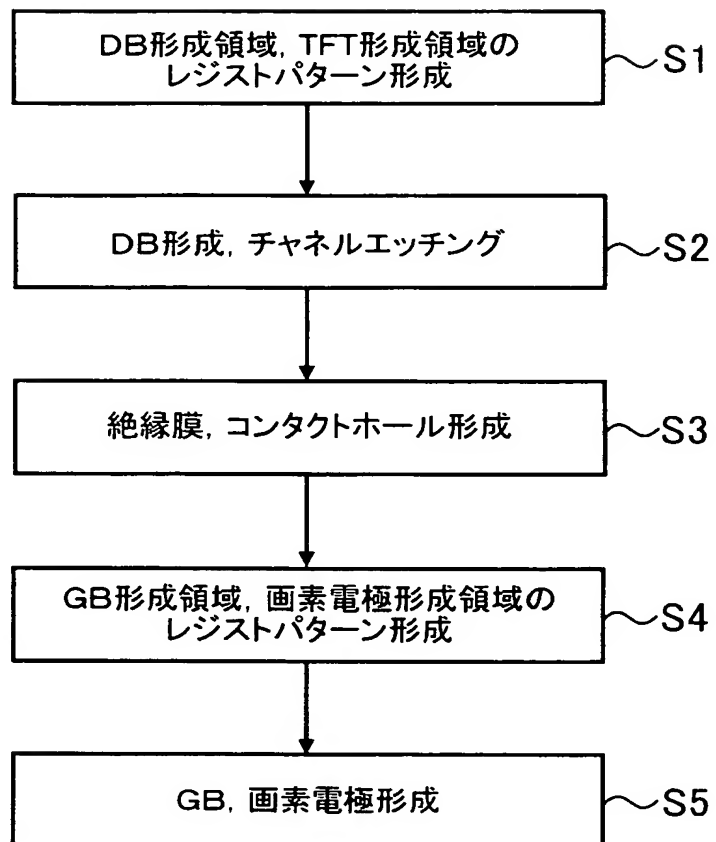
- 1, 104 ガラス基板
- 2 下地絶縁膜層
- 3 動作層
- 3a チャンネル



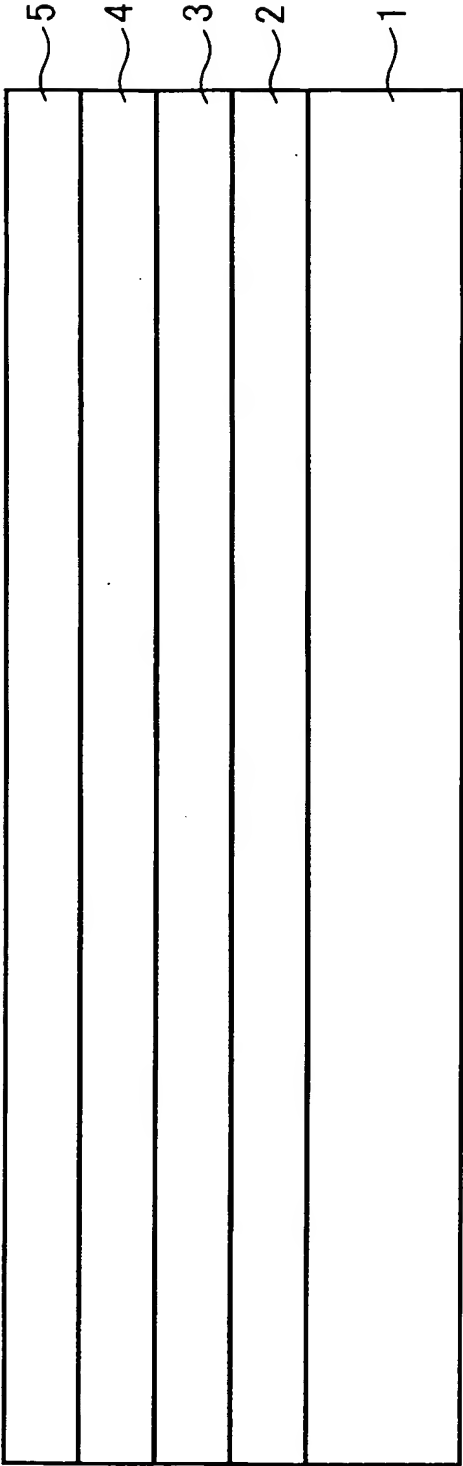
- 4 活性層
- 5 DB層
- 6 a, 6 b, 6 c, 106, 106 a, 106 b 感光性レジスト
- 7 絶縁膜
- 7 a, 7 b, 7 c, 7 d, 7 e コンタクトホール
- 8 透明導電膜層
- 9 GB層
- 10, 30, 40 TFT基板
- 20, 103, 103 a 遮光膜
- 31 ソースパッド
- 41 凹凸層
- 100, 100 a ハーフトーンマスク
- 101 石英板
- 102 半透過膜
- 105 被エッチング膜

【書類名】 図面

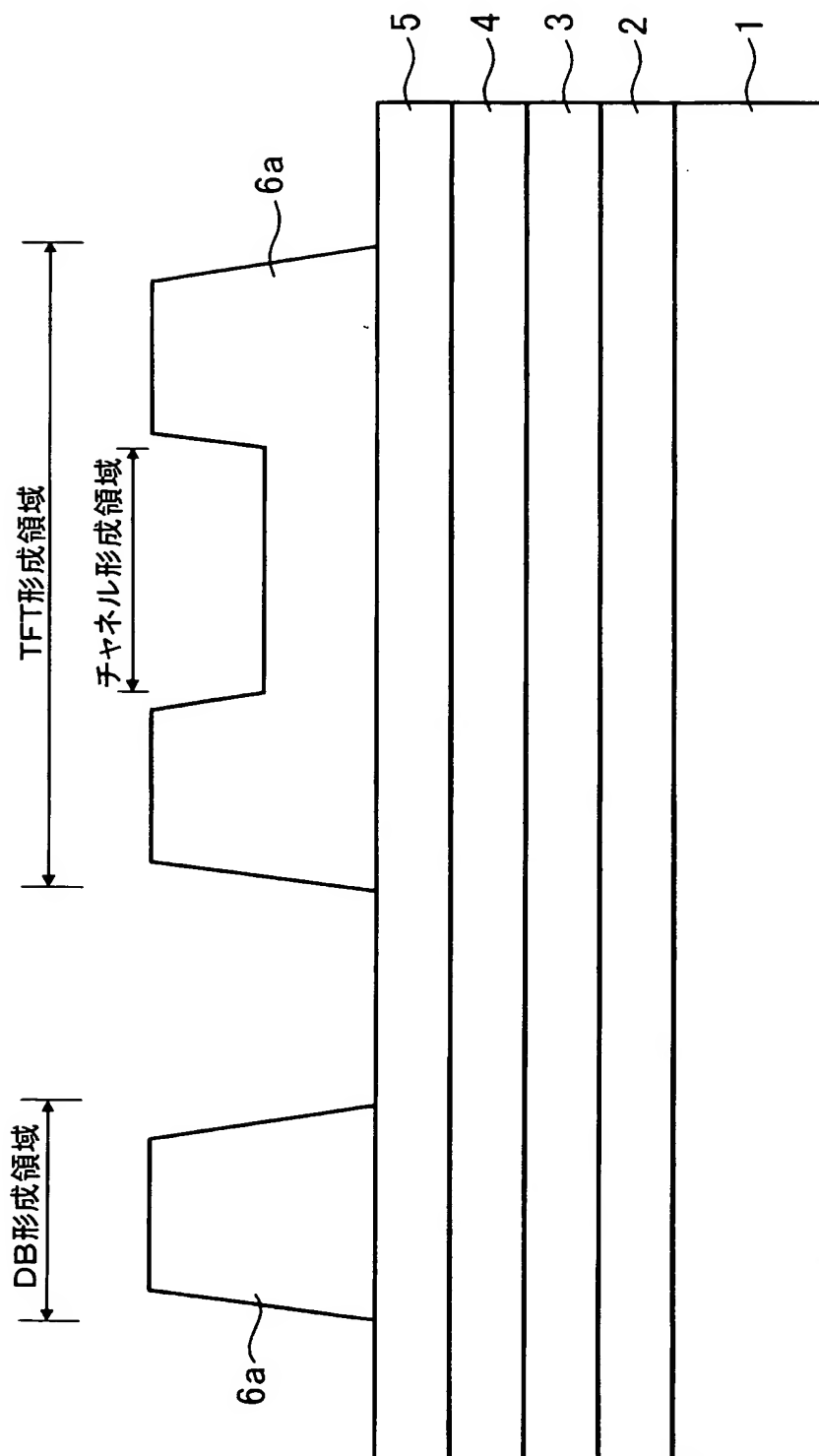
【図 1】



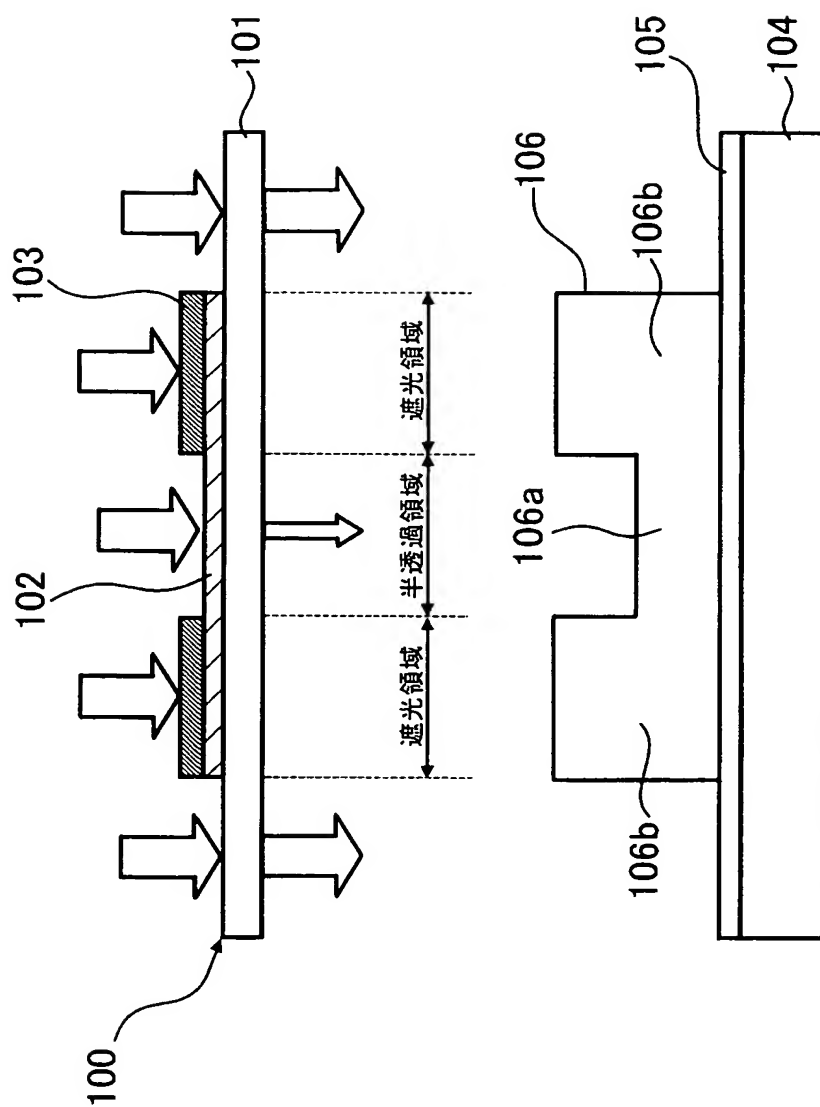
【図 2】



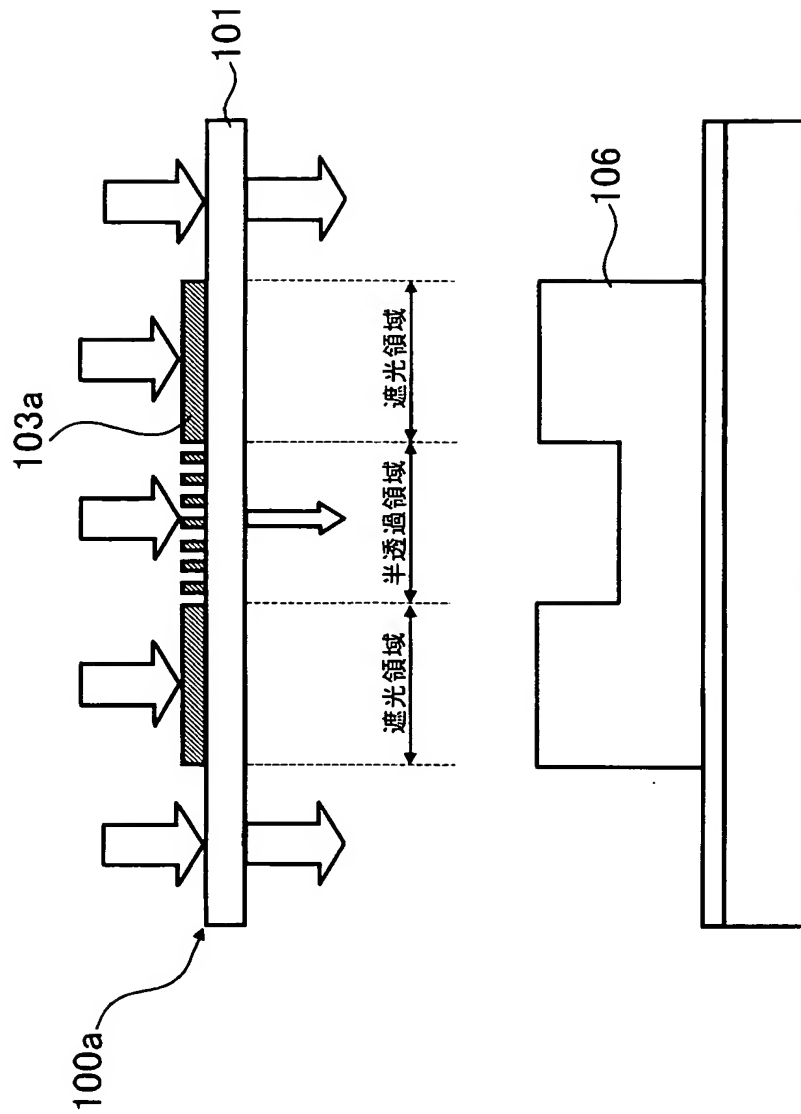
【図 3】



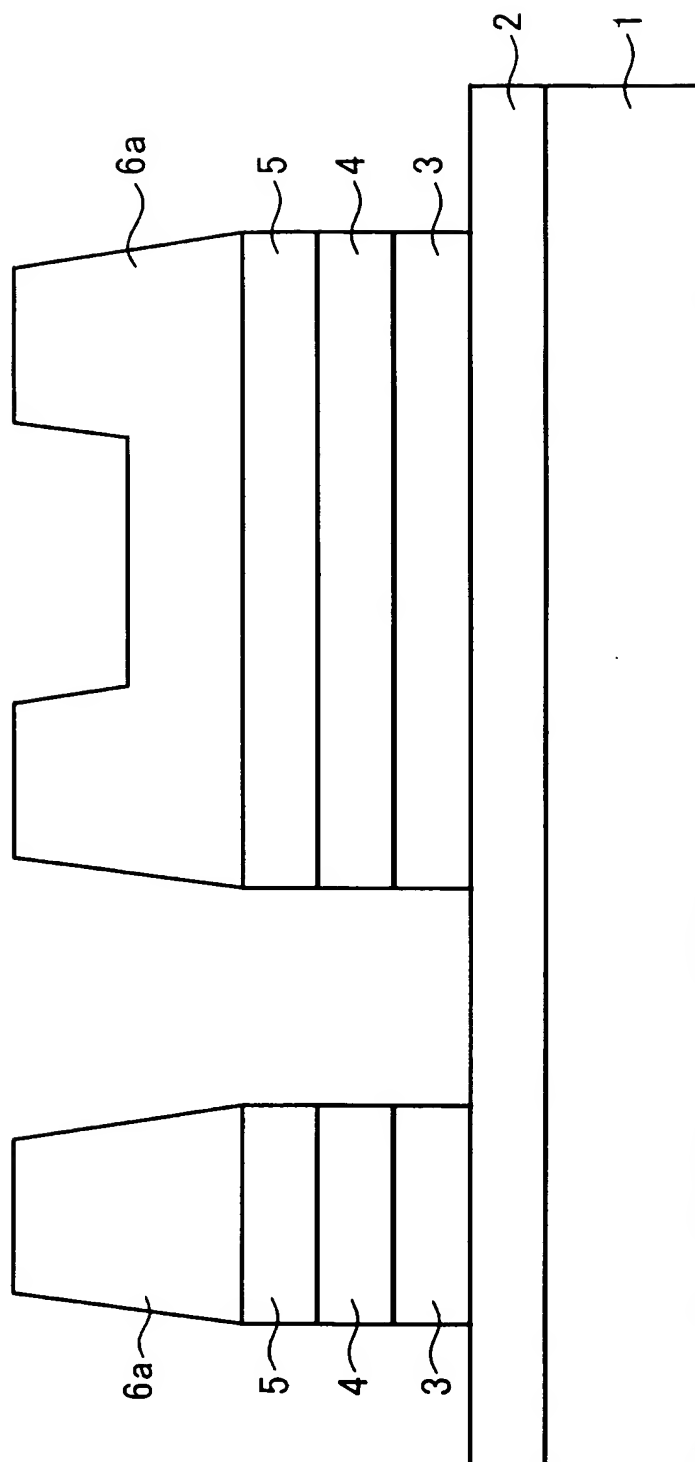
【図 4】



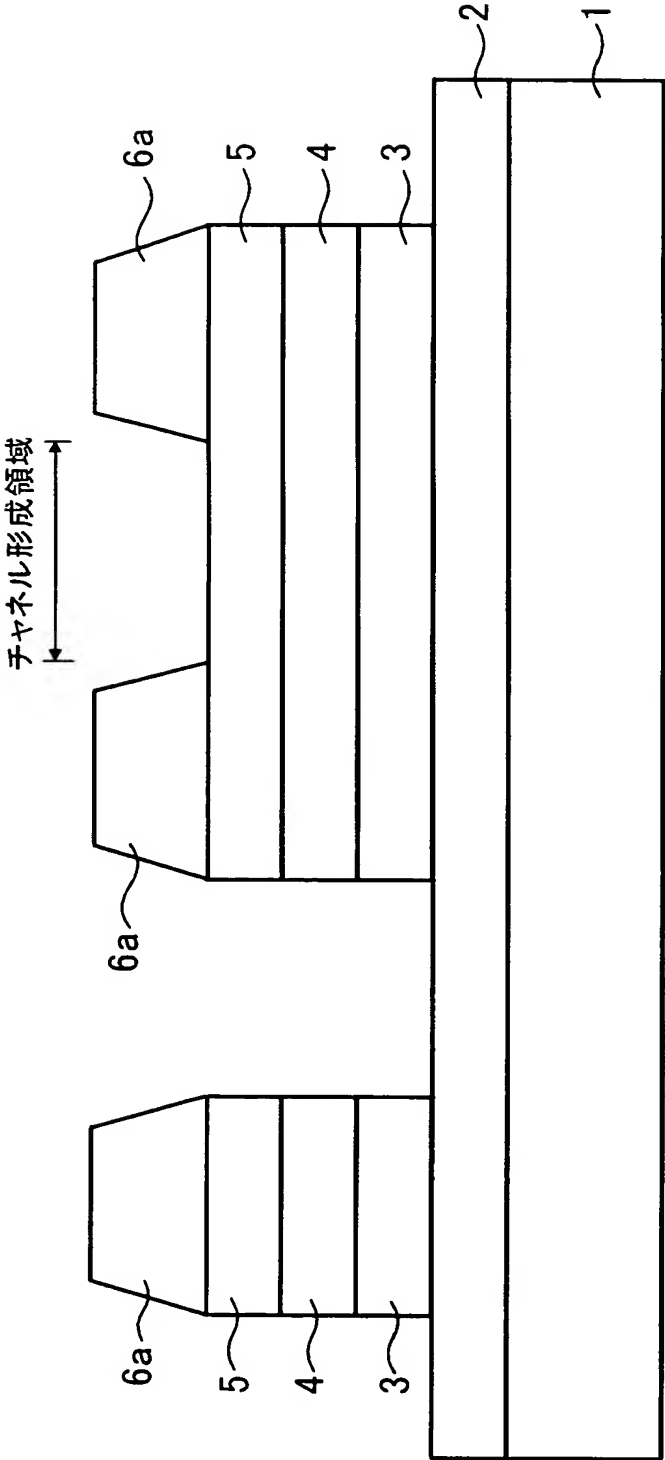
【図 5】



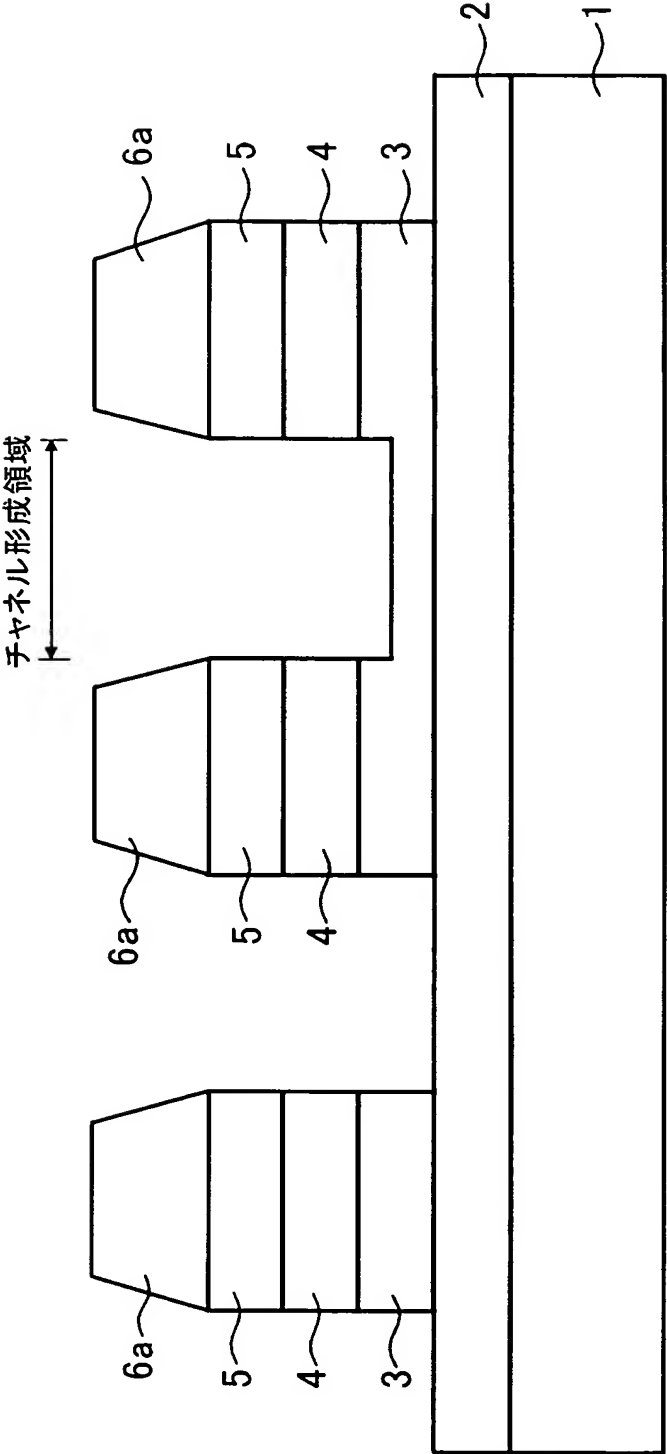
【図 6】



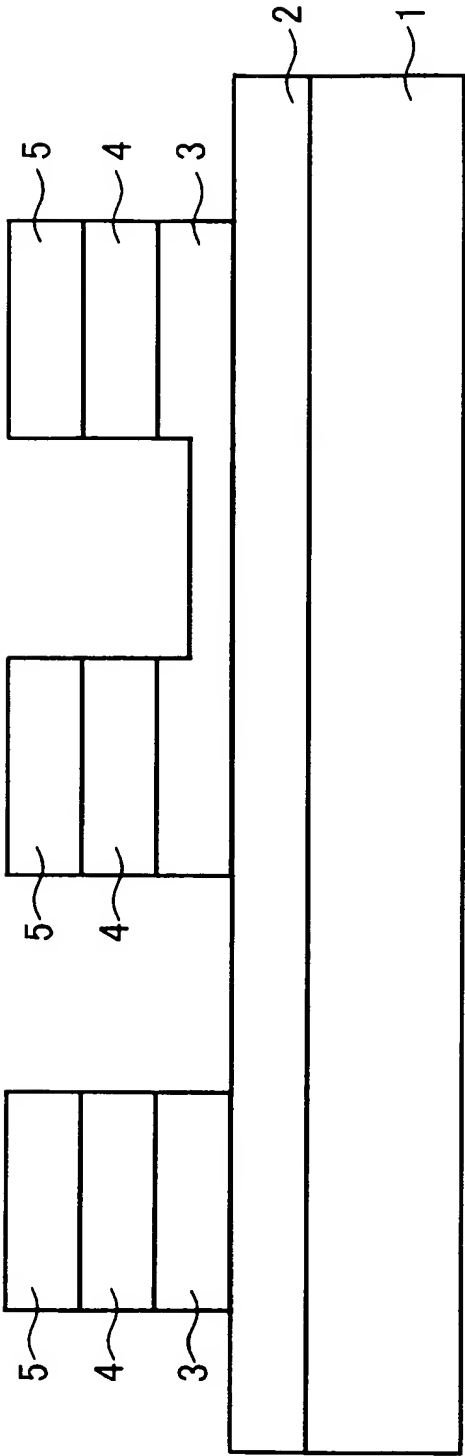
【図 7】



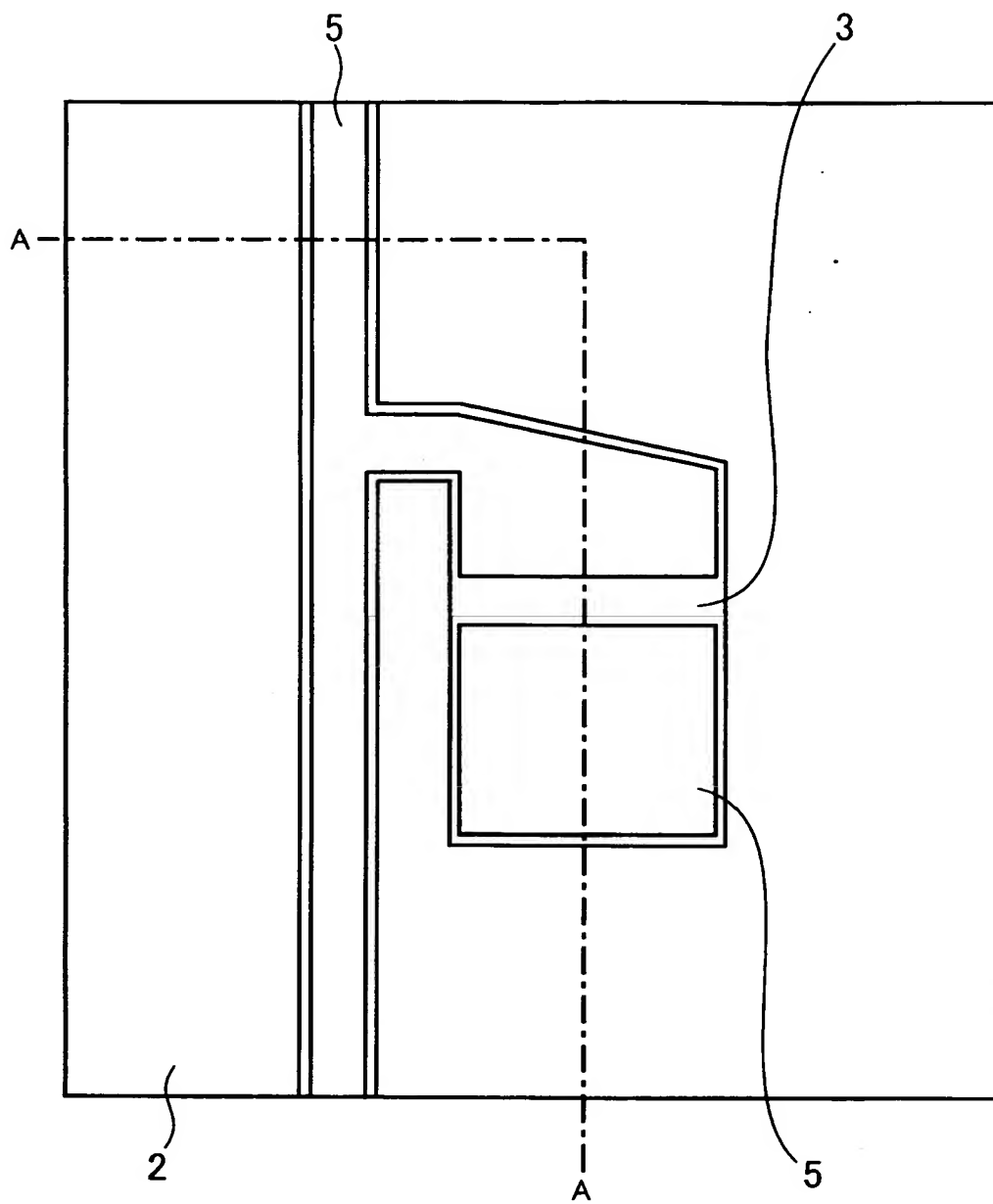
【図 8】



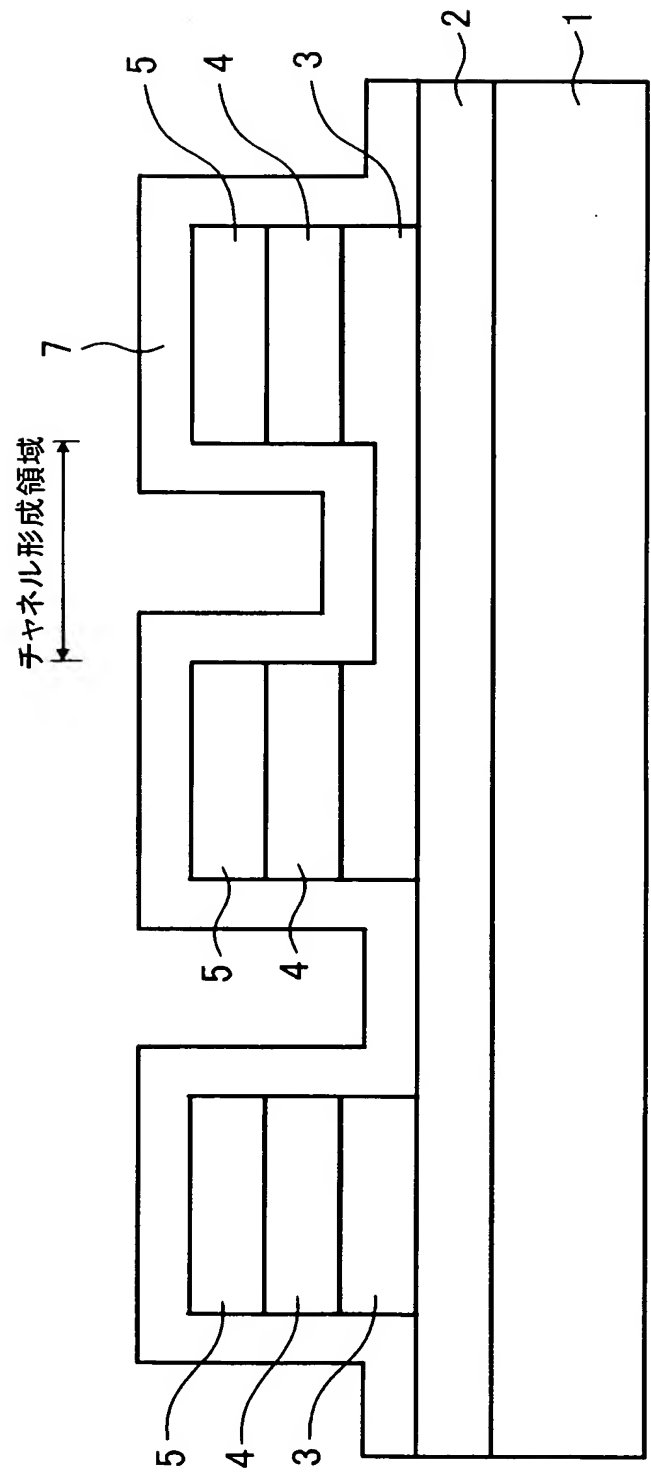
【図 9】



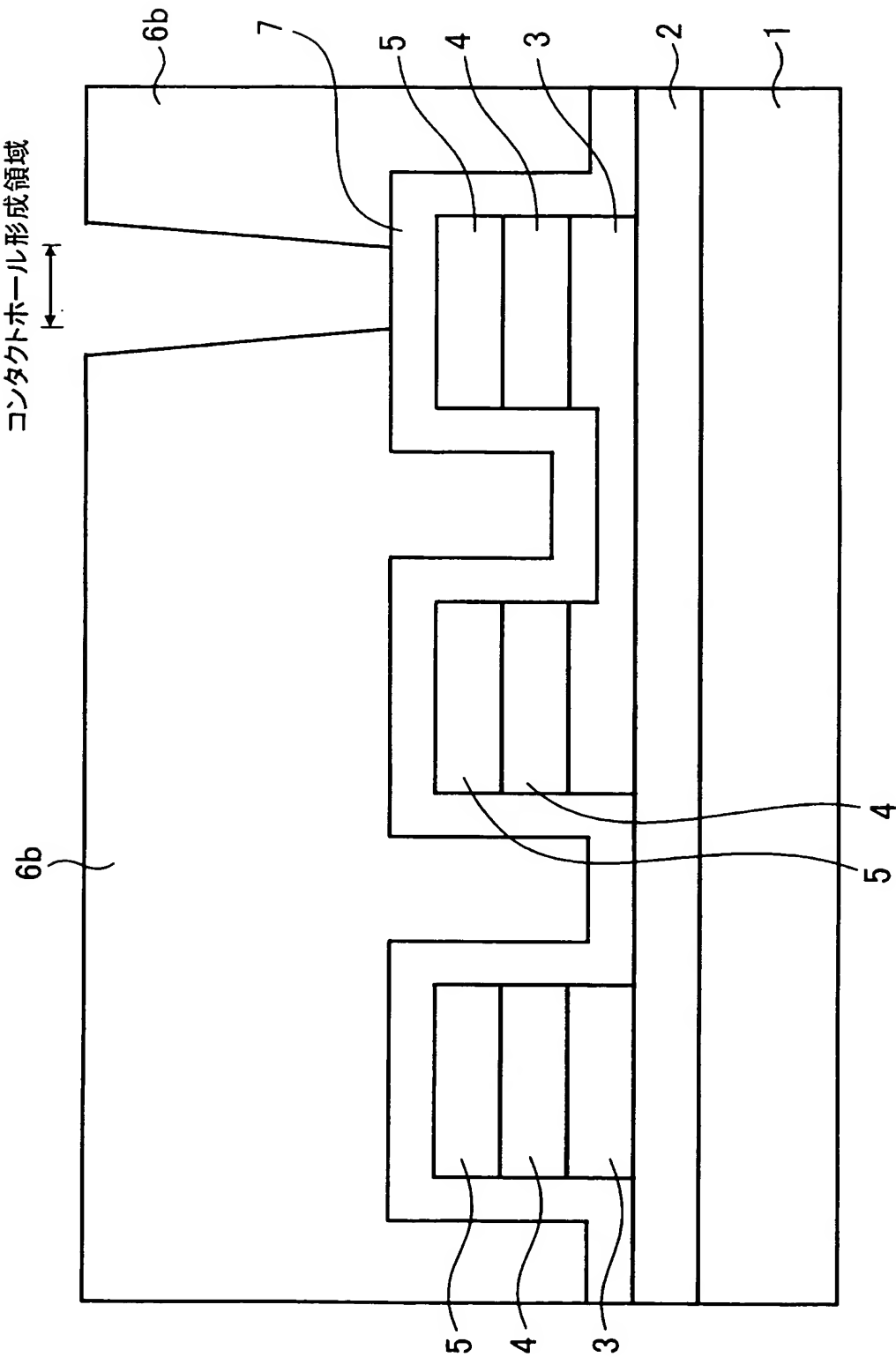
【図 10】



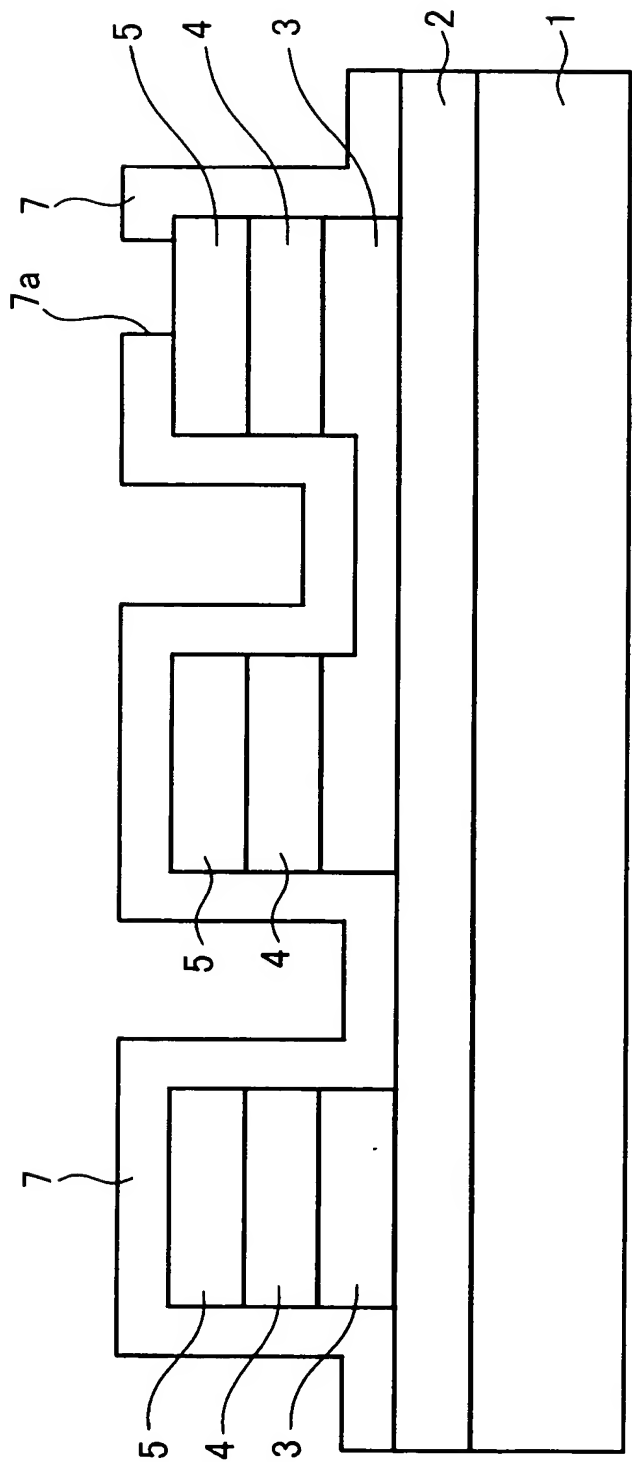
【図 11】



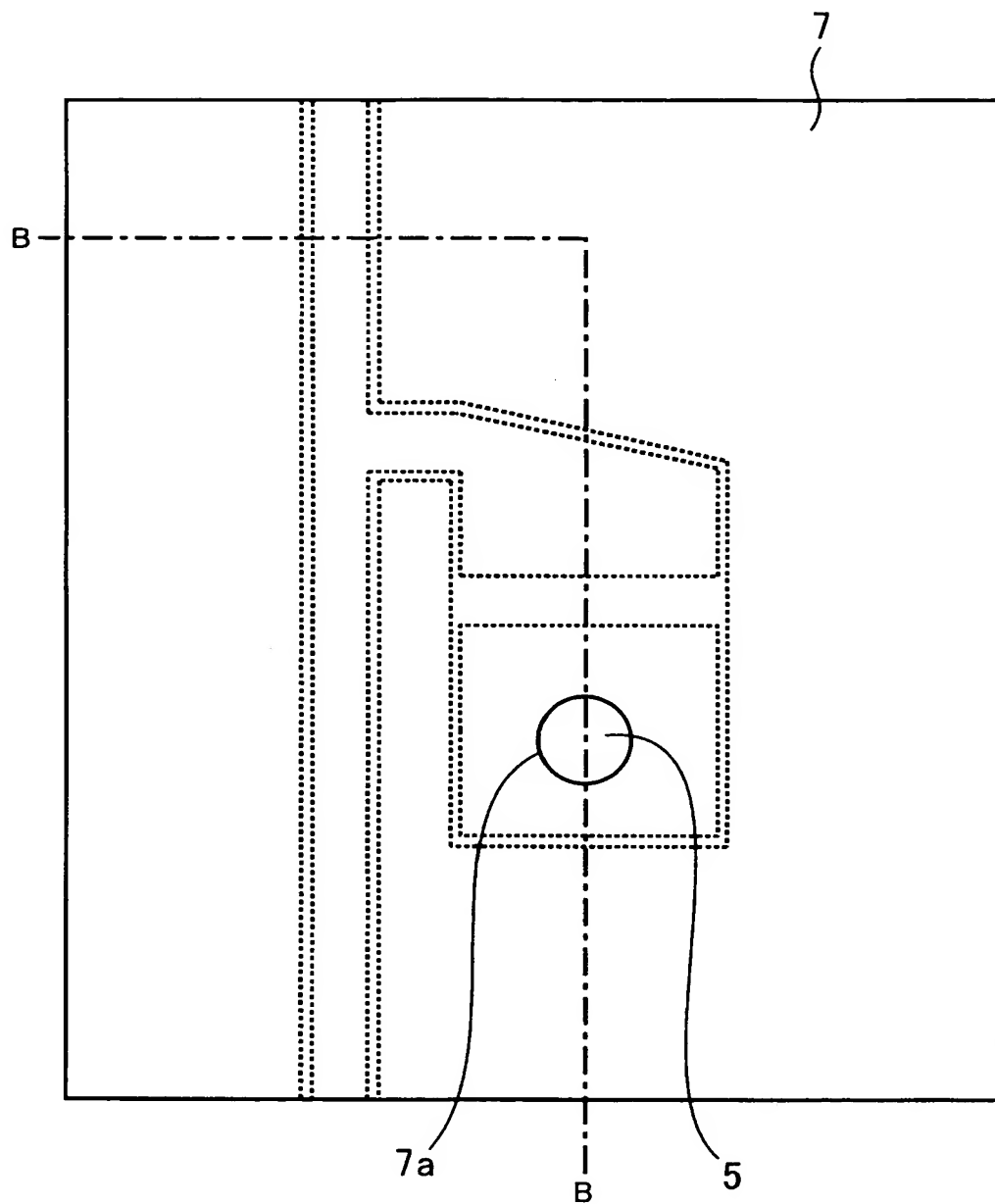
【図 12】



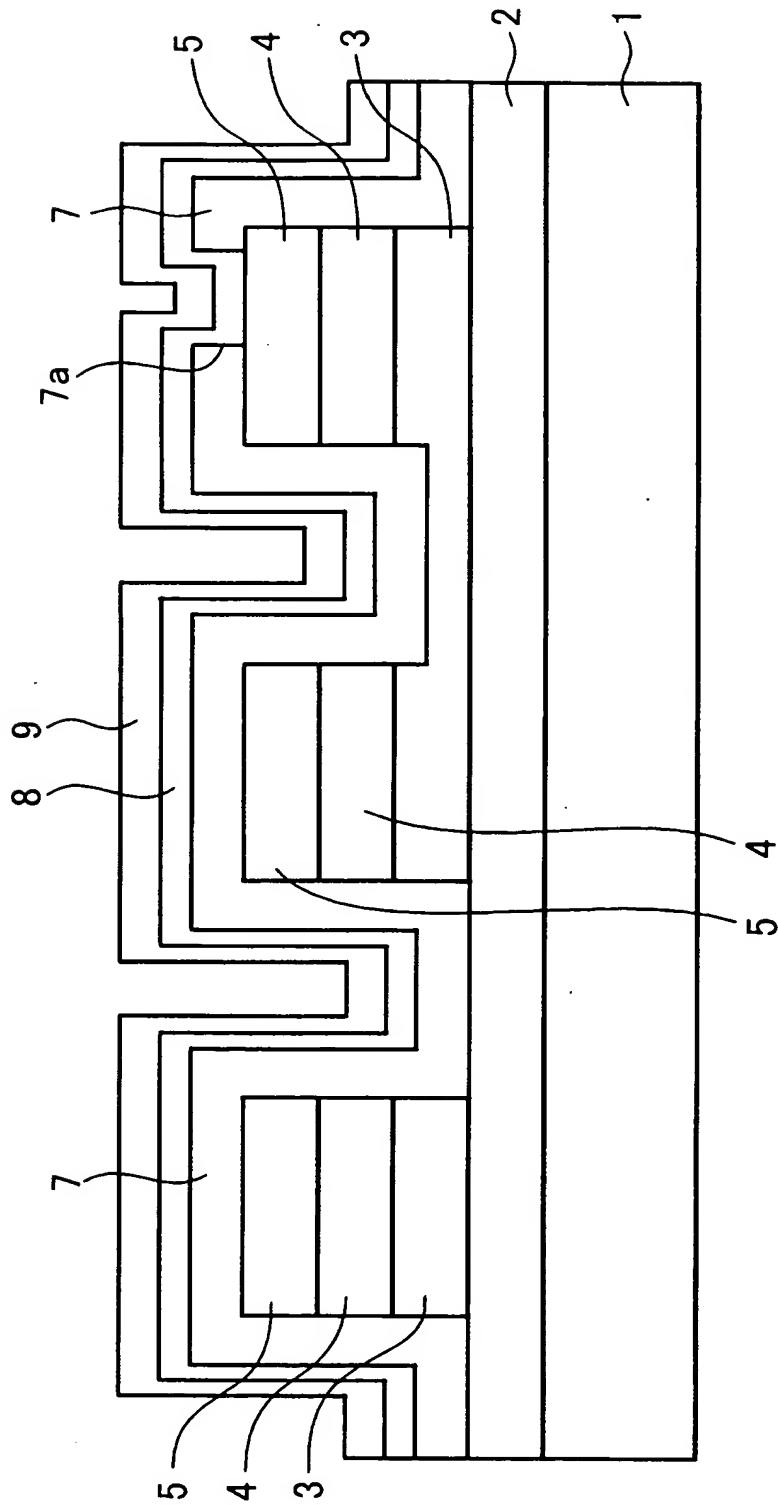
【図 13】



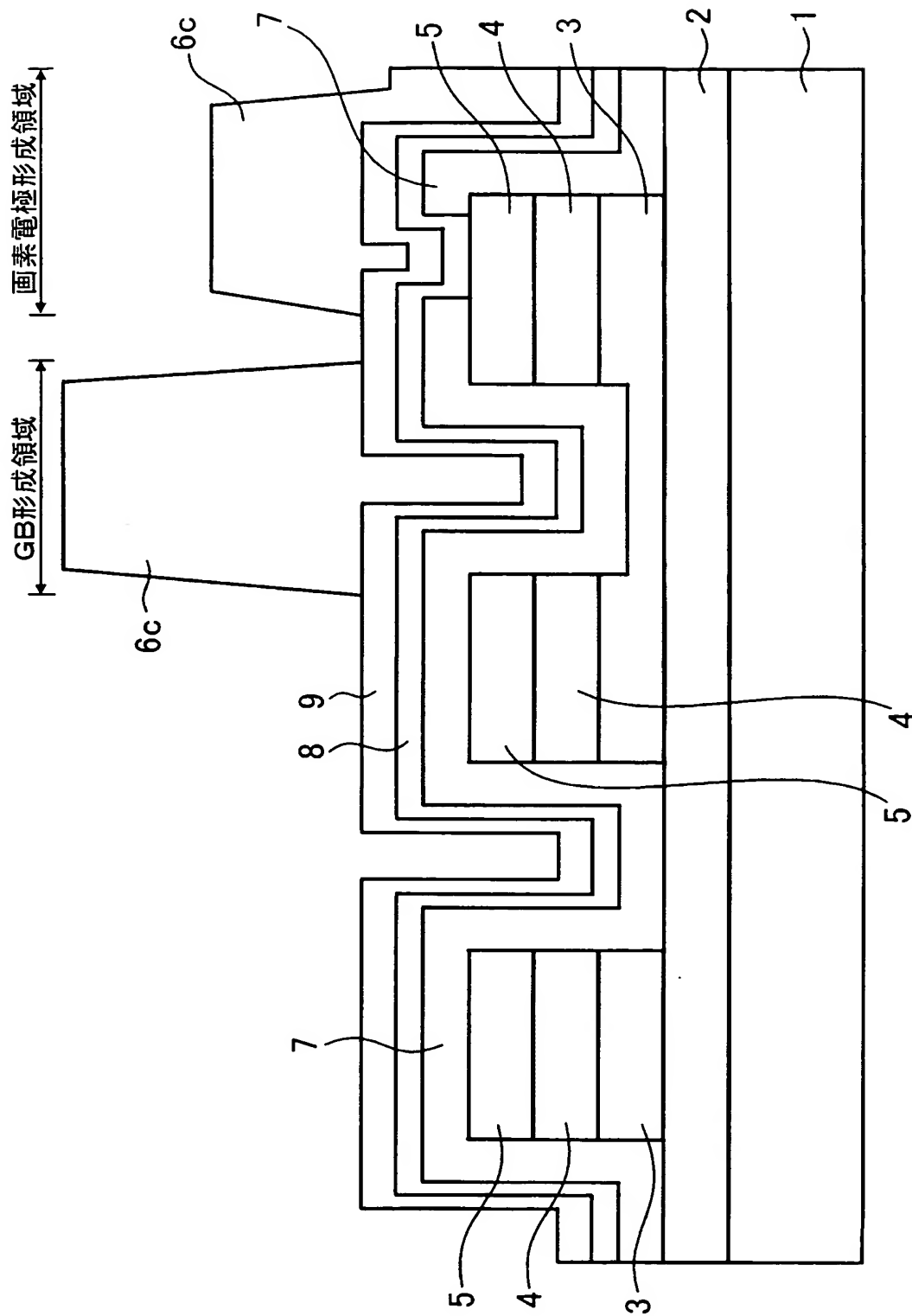
【図 14】



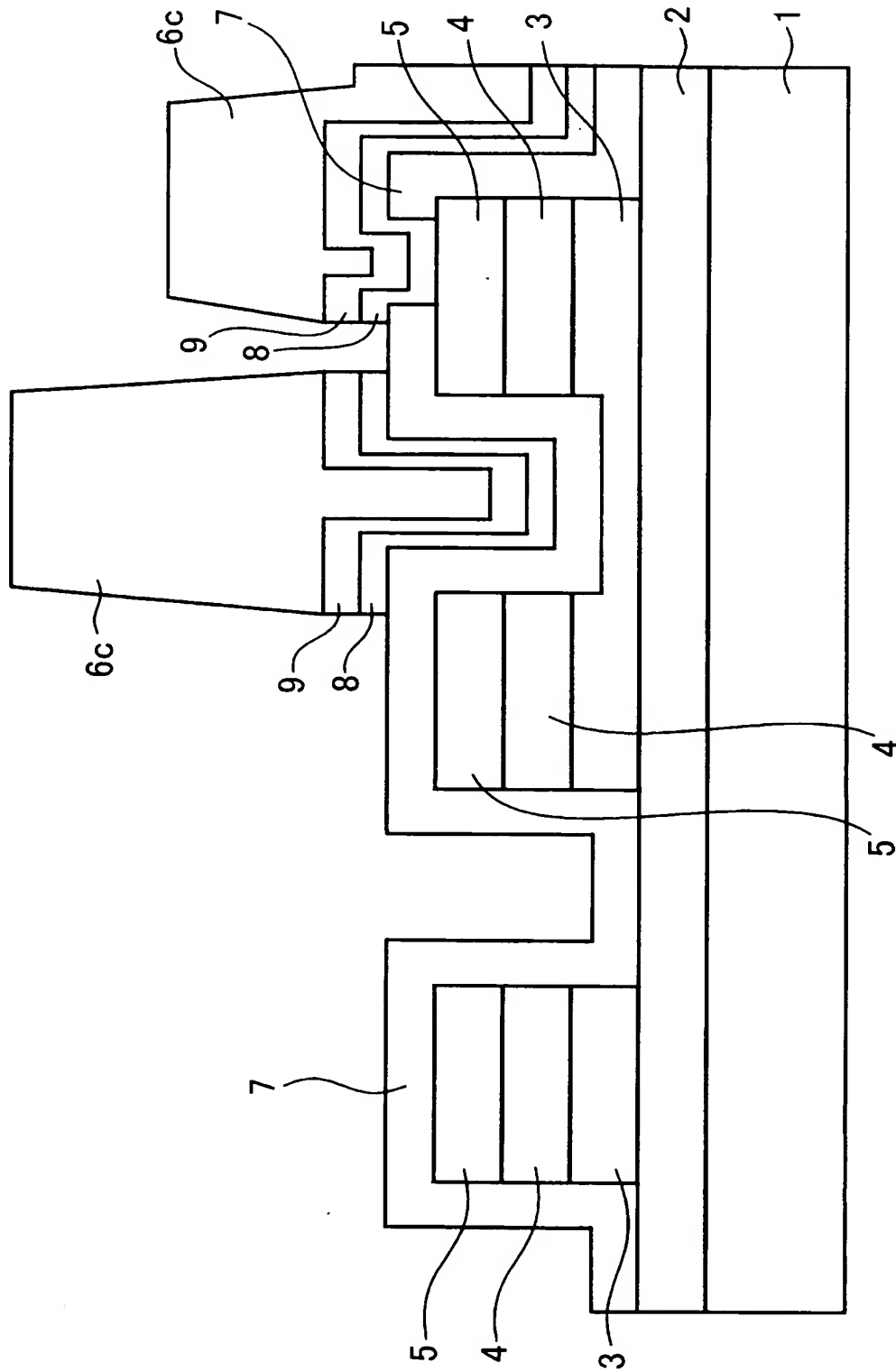
【図 15】



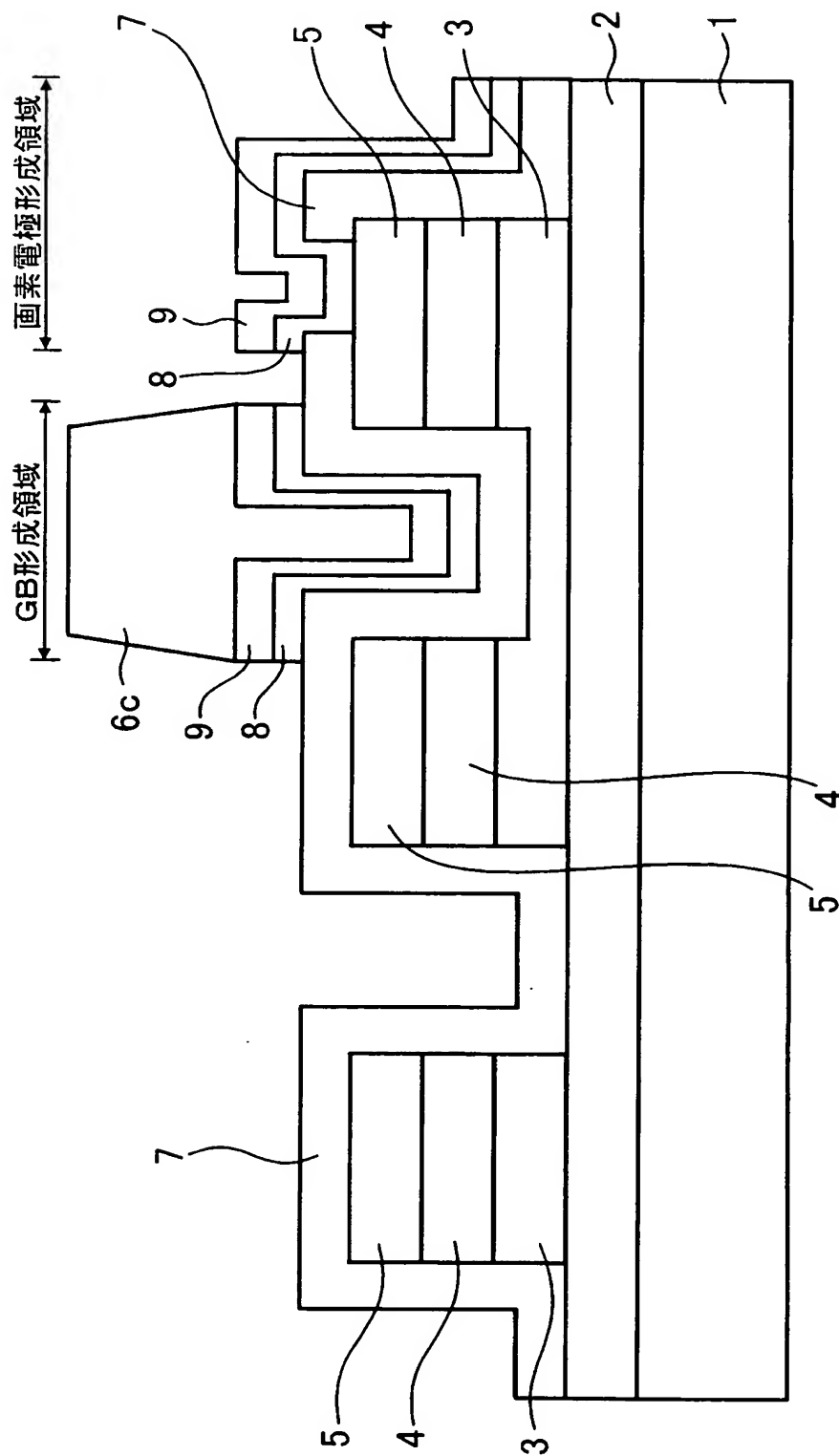
【図 16】



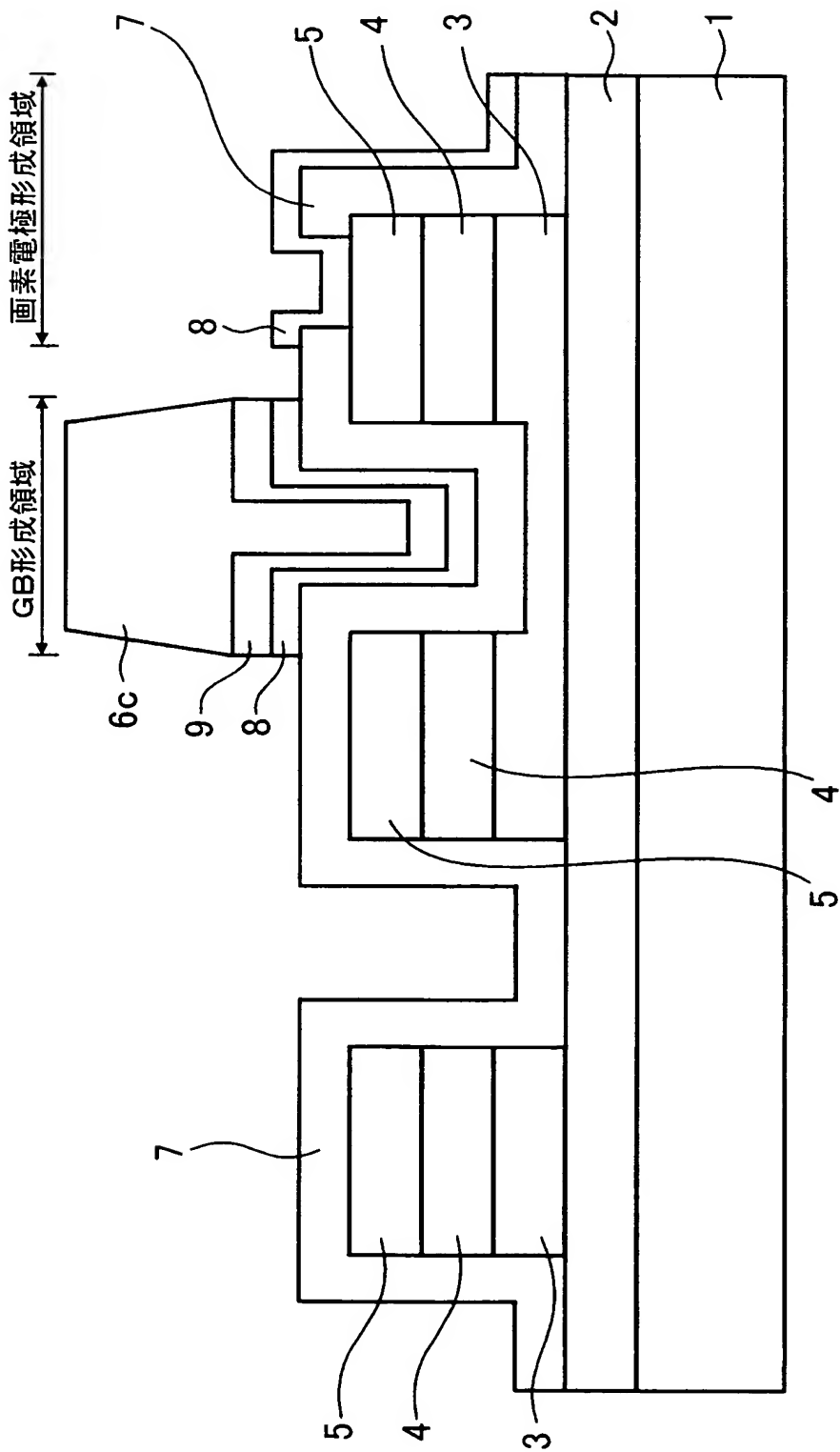
【図 17】



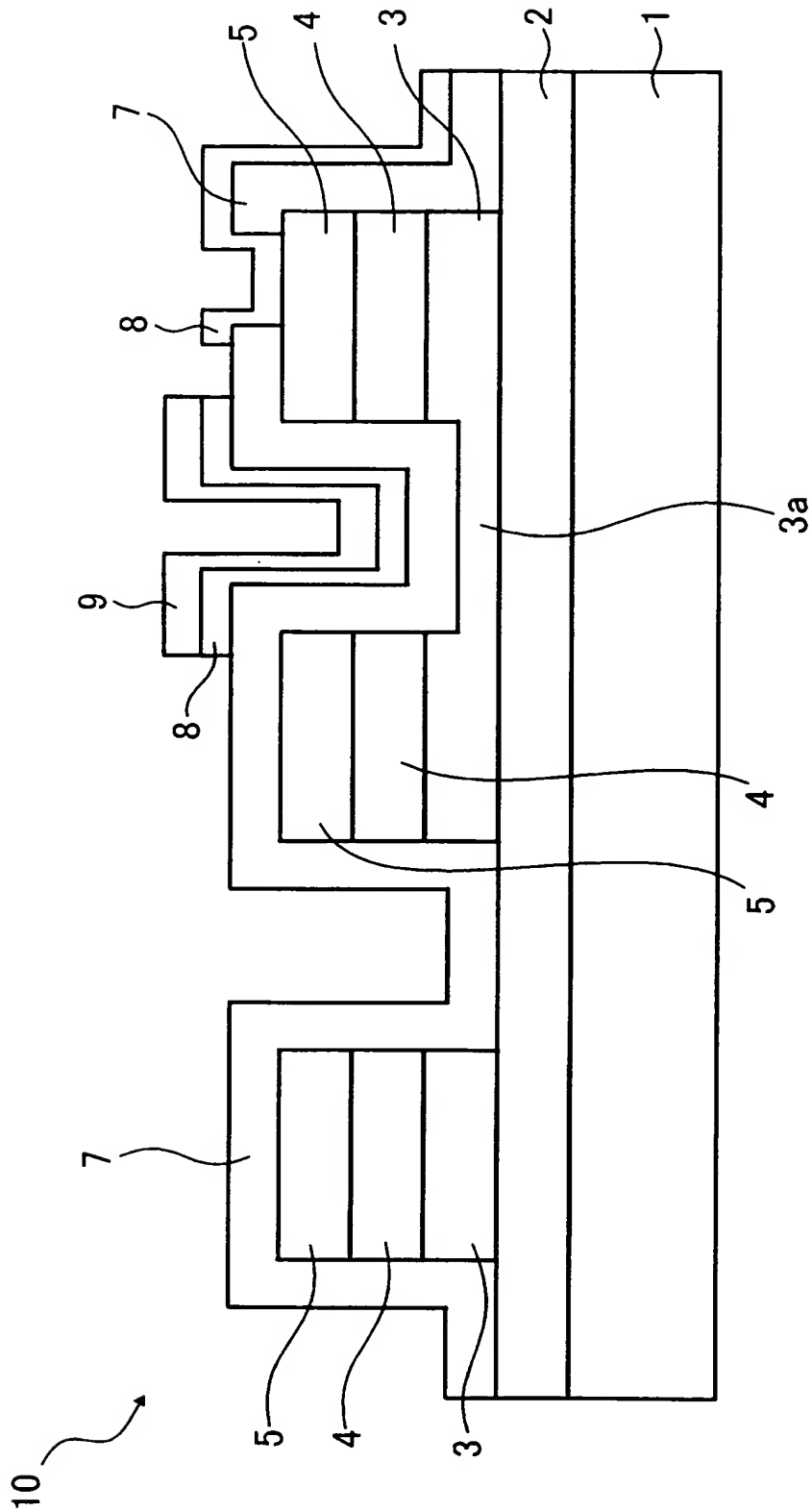
【図 18】



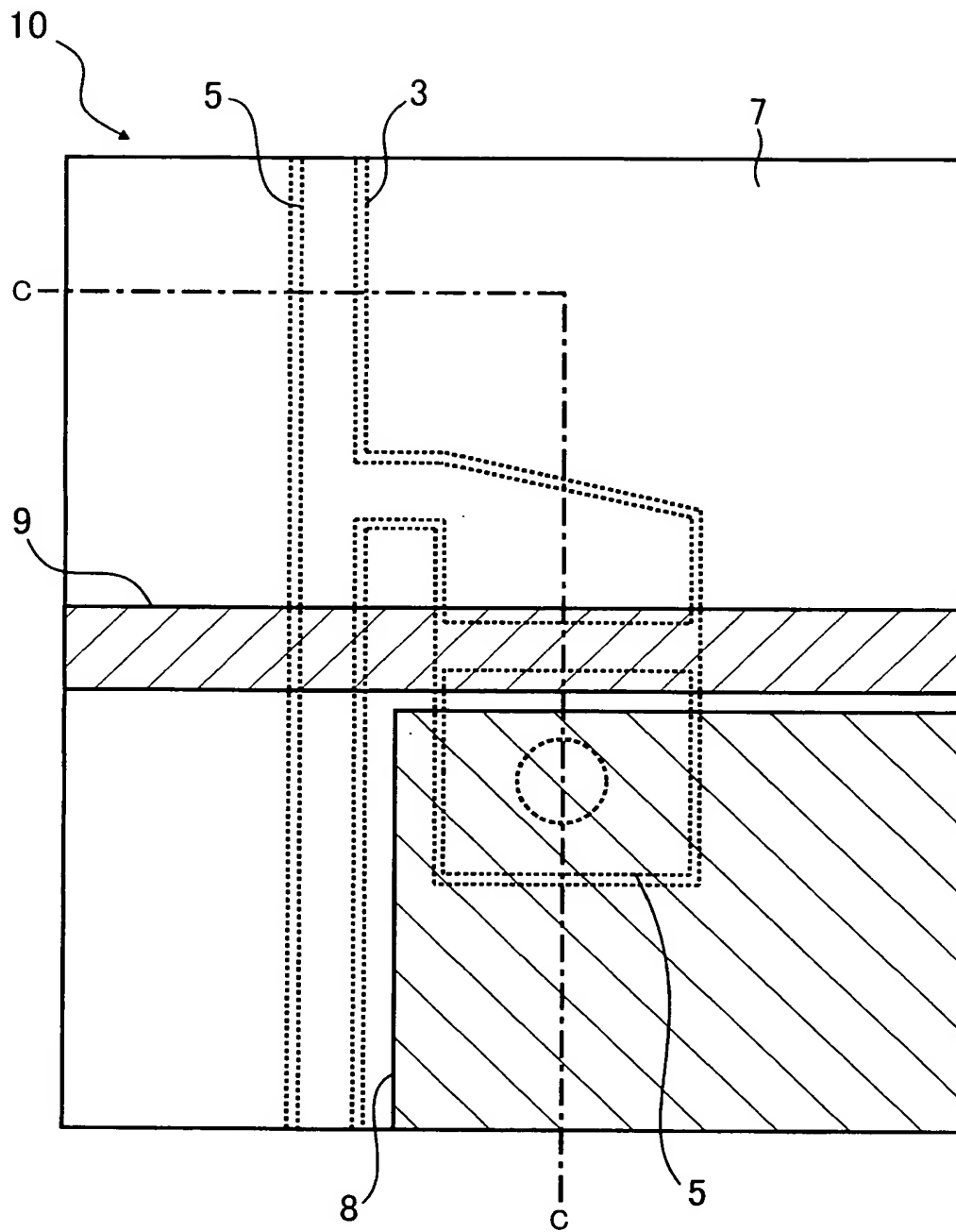
【図 19】



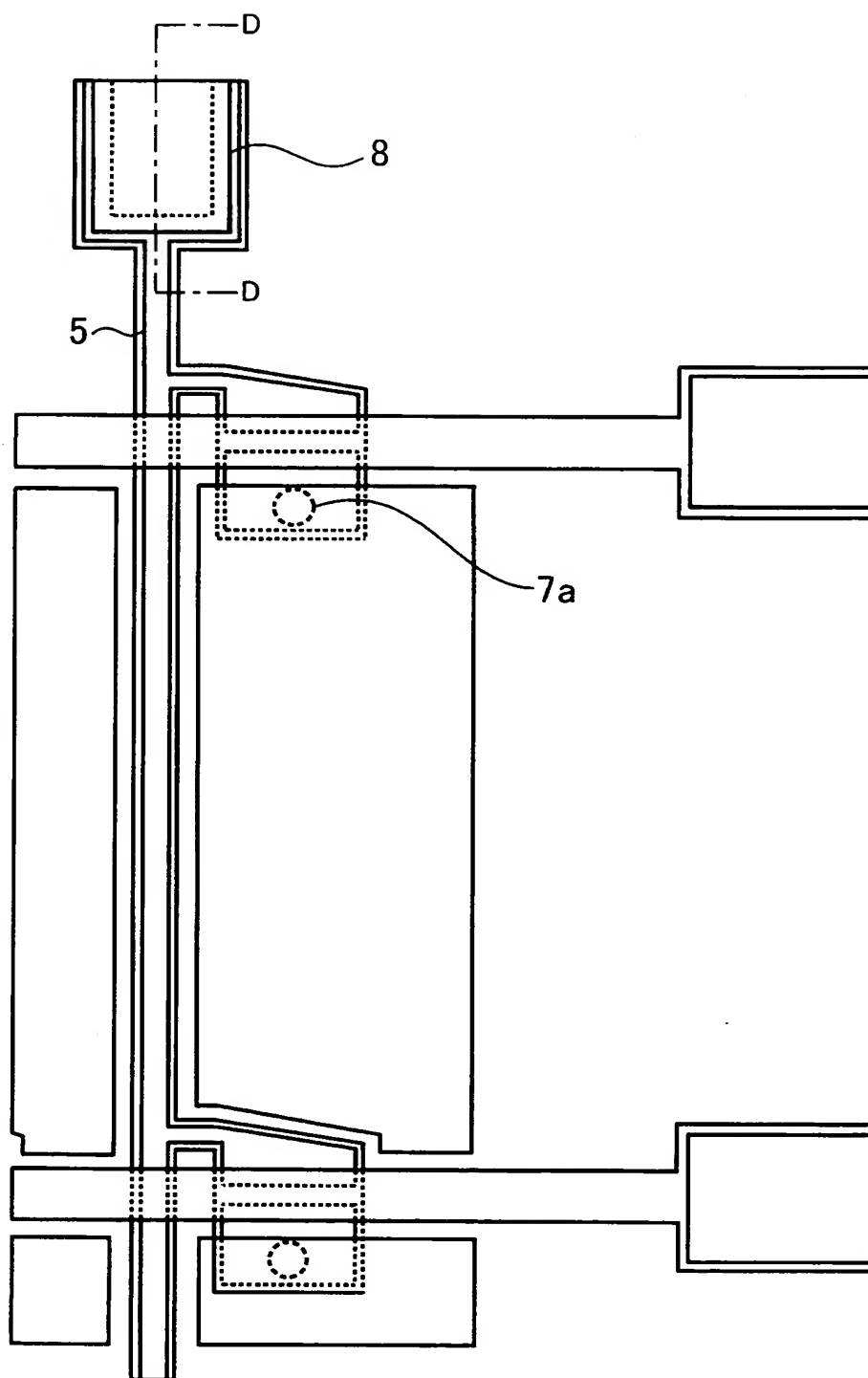
【図 20】



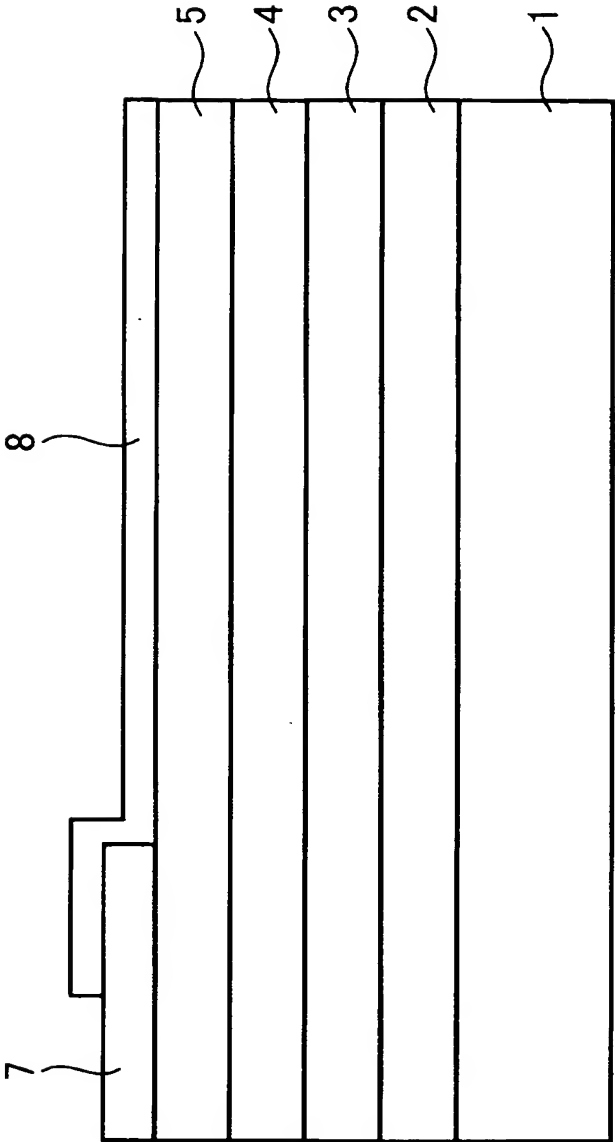
【図 21】



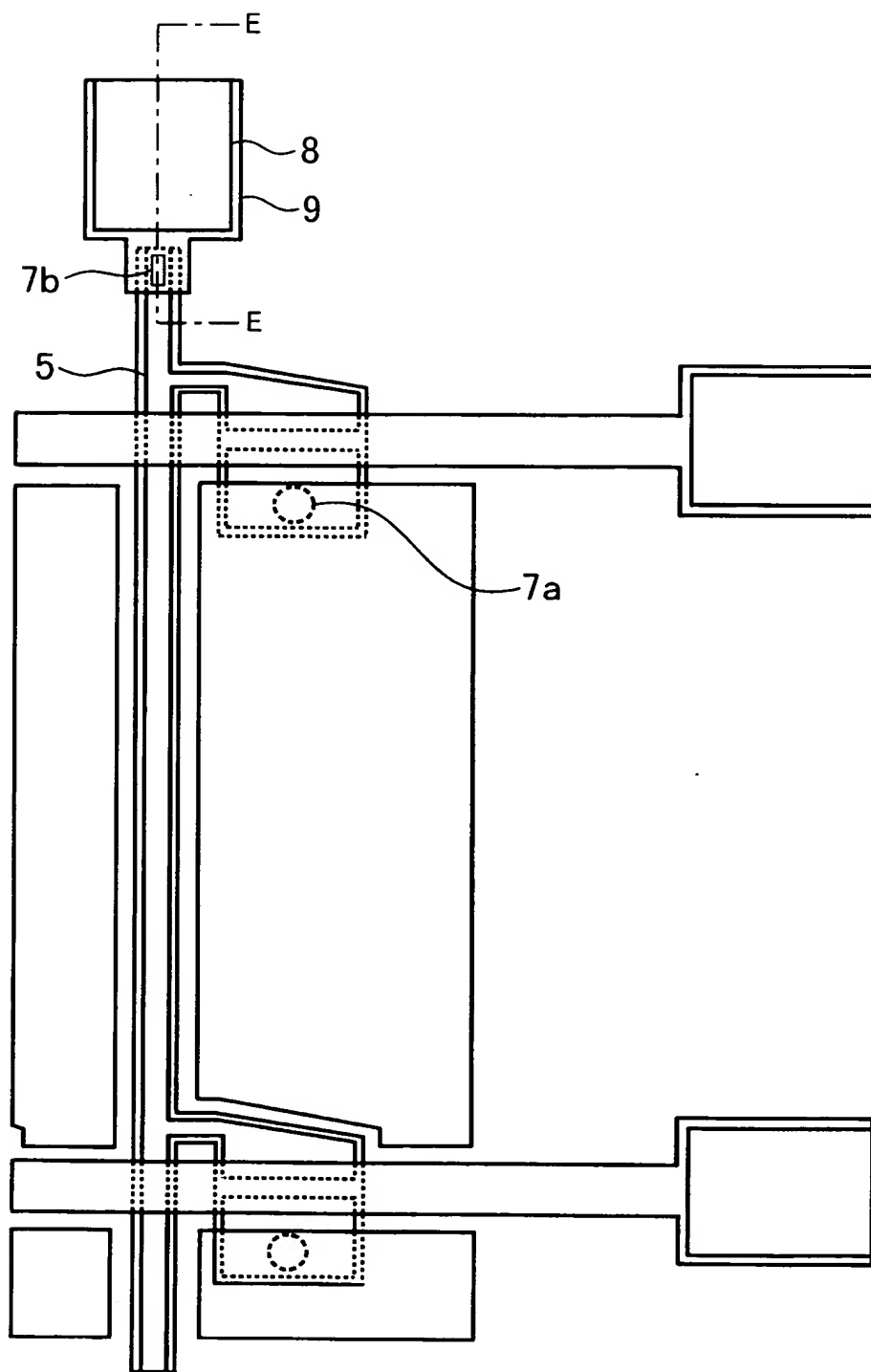
【図 22】



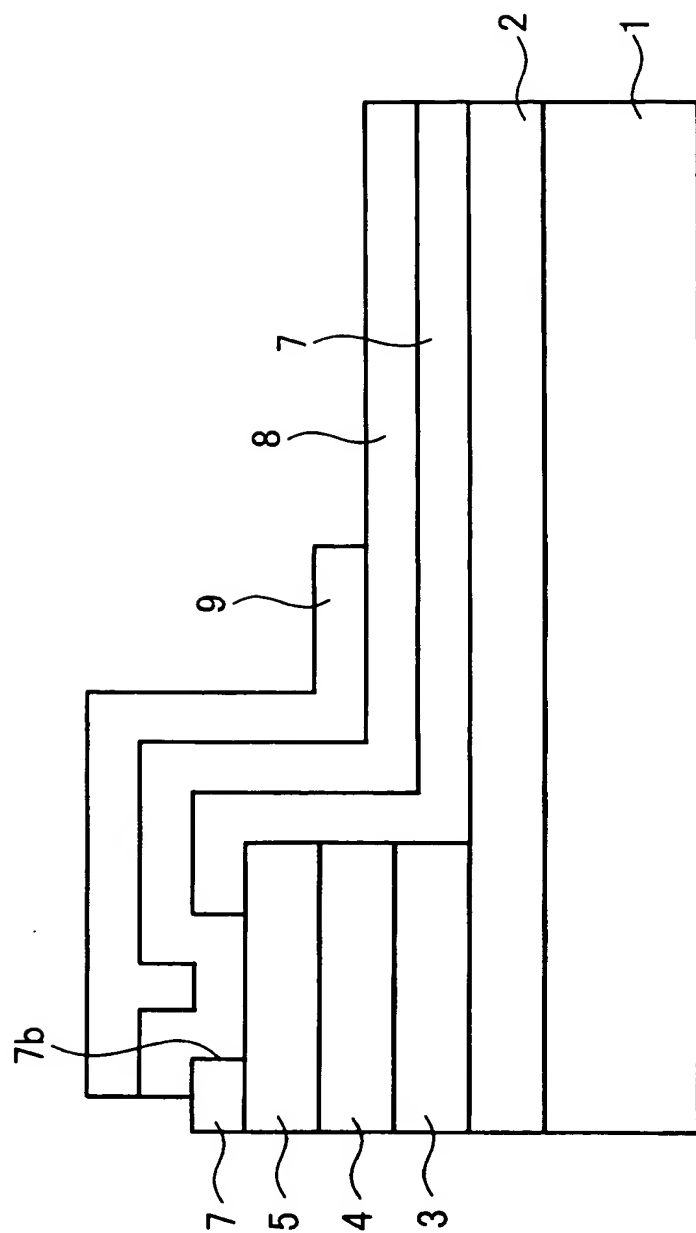
【図 2 3】



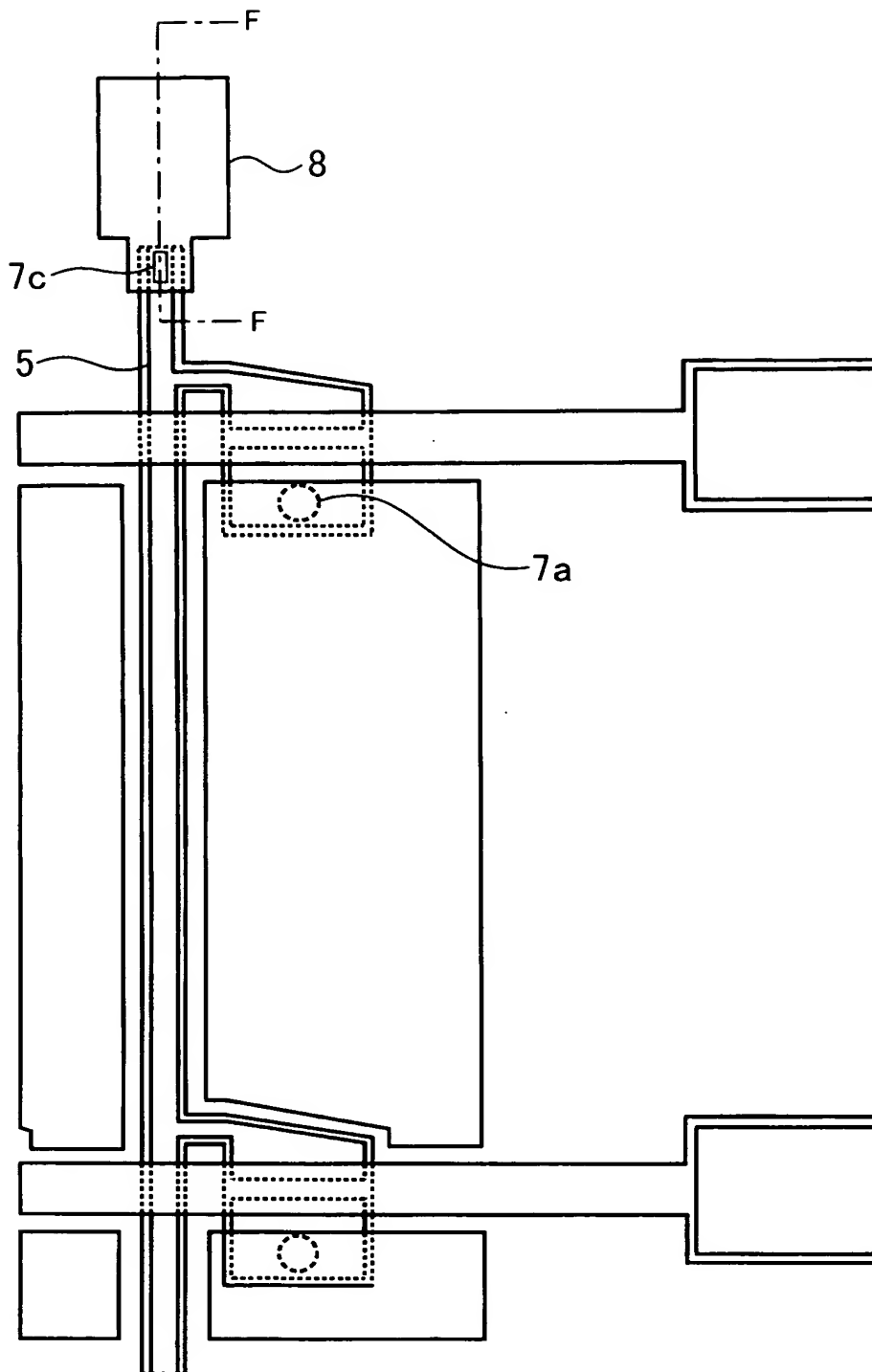
【図 24】



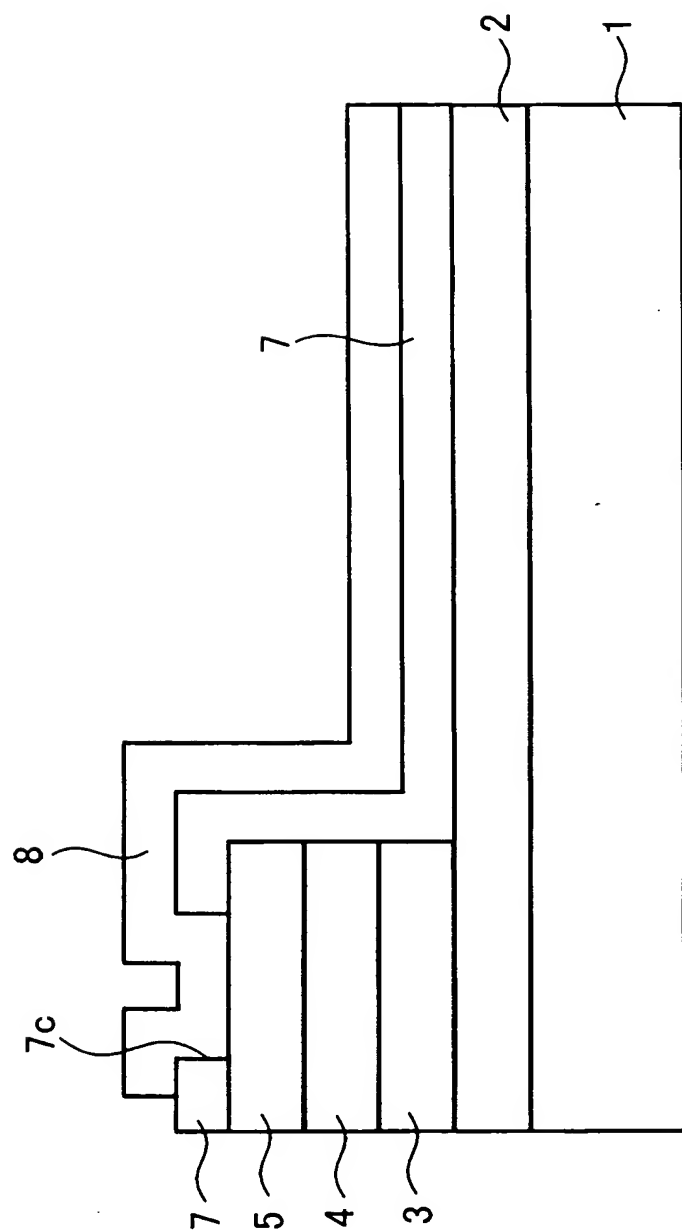
【図 25】



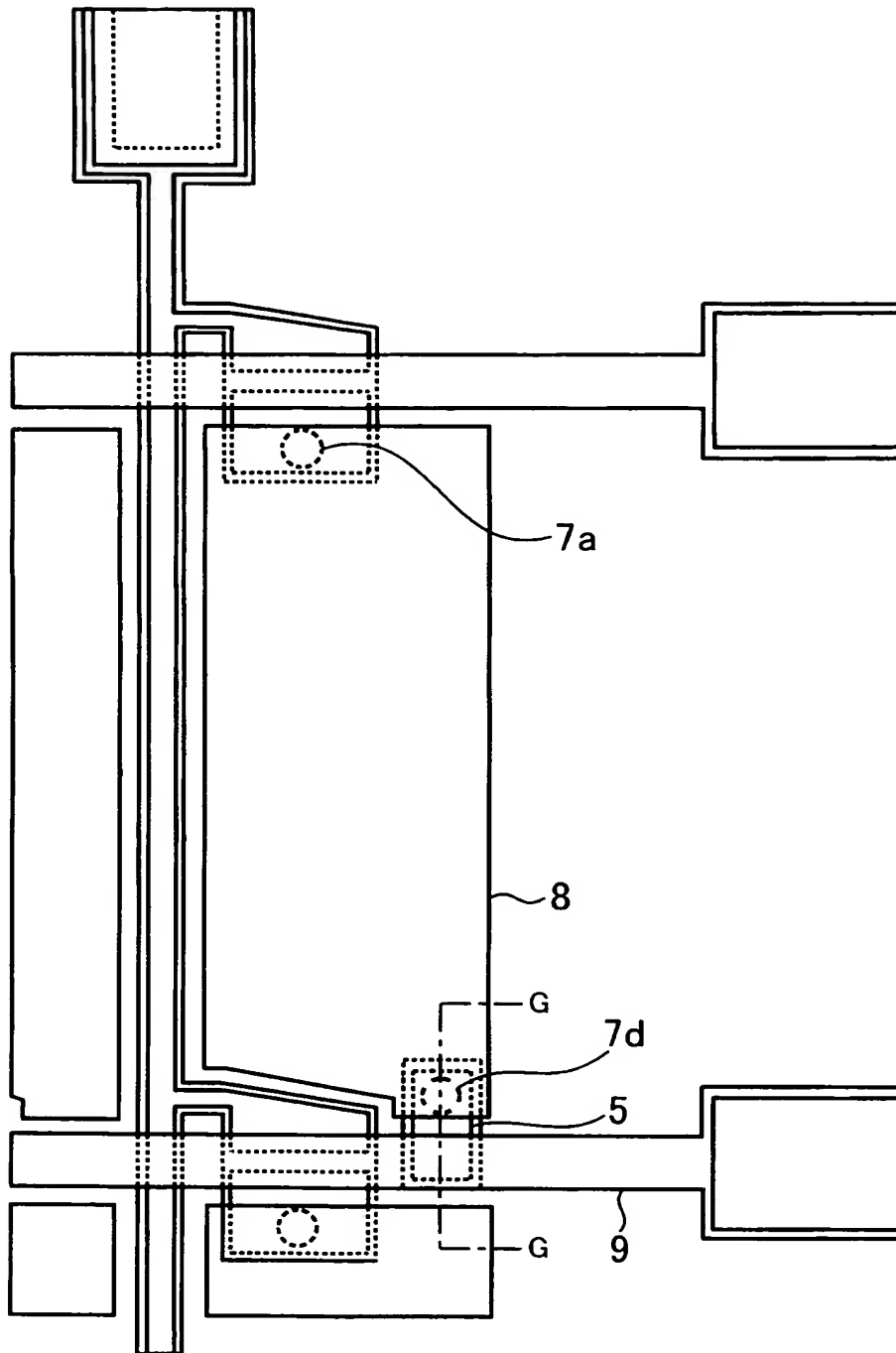
【図 26】



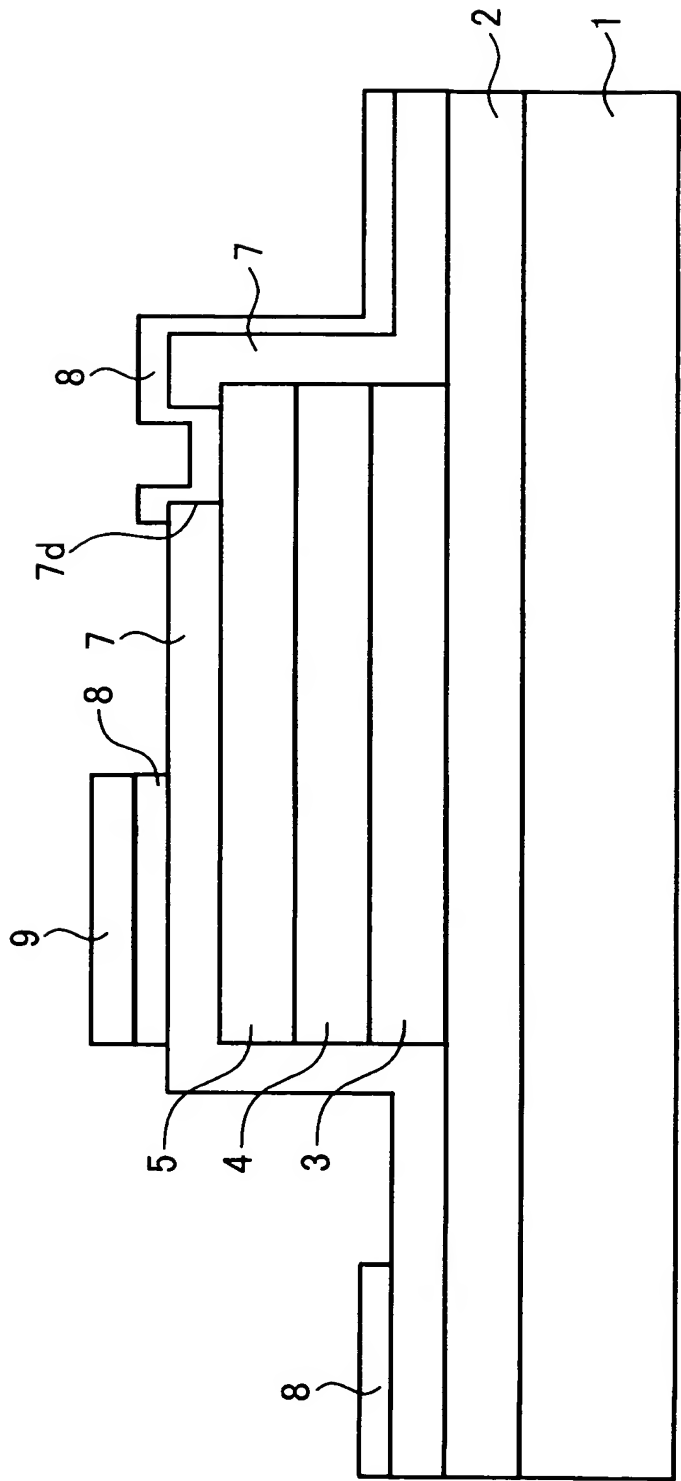
【図 27】



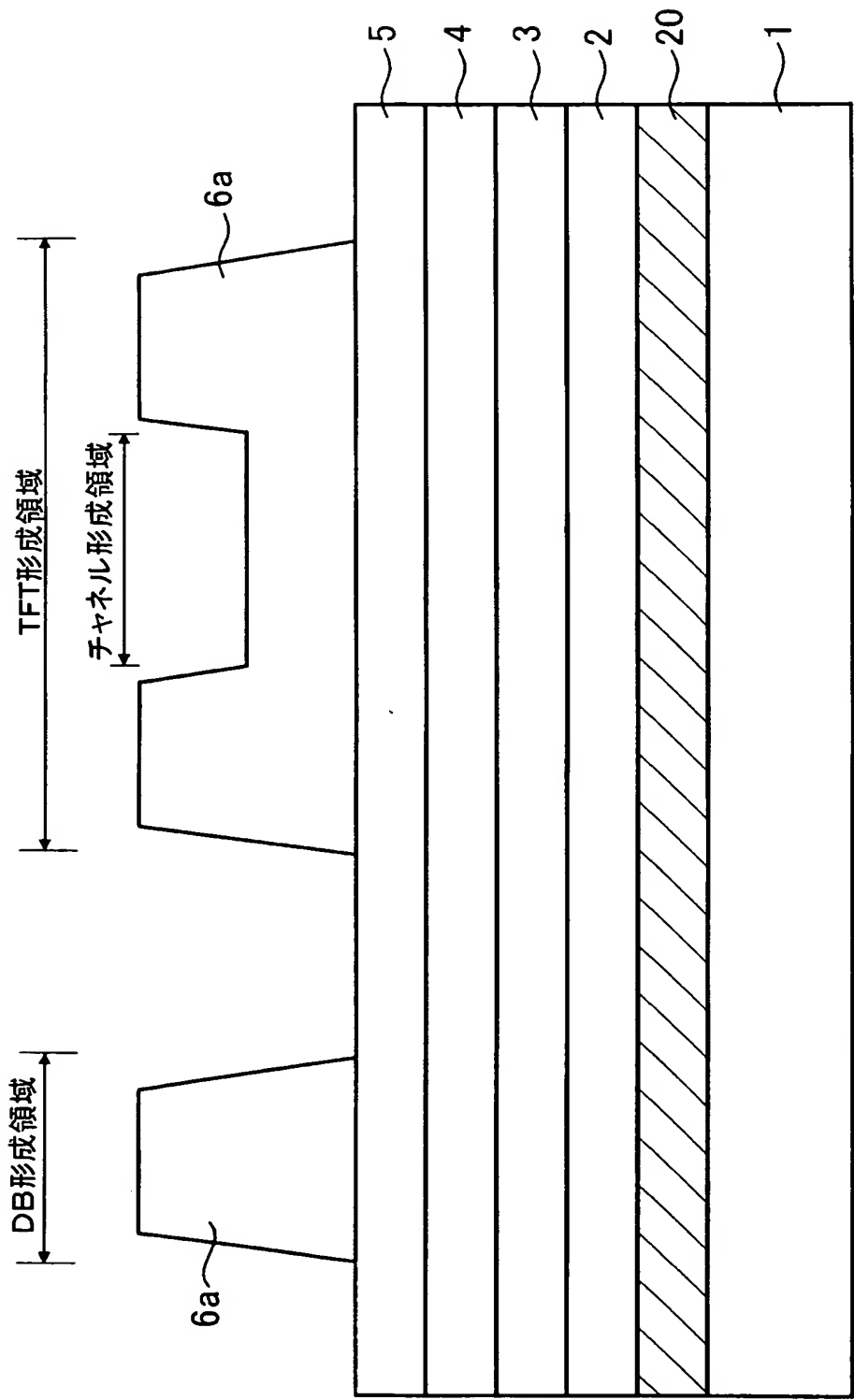
【図 28】



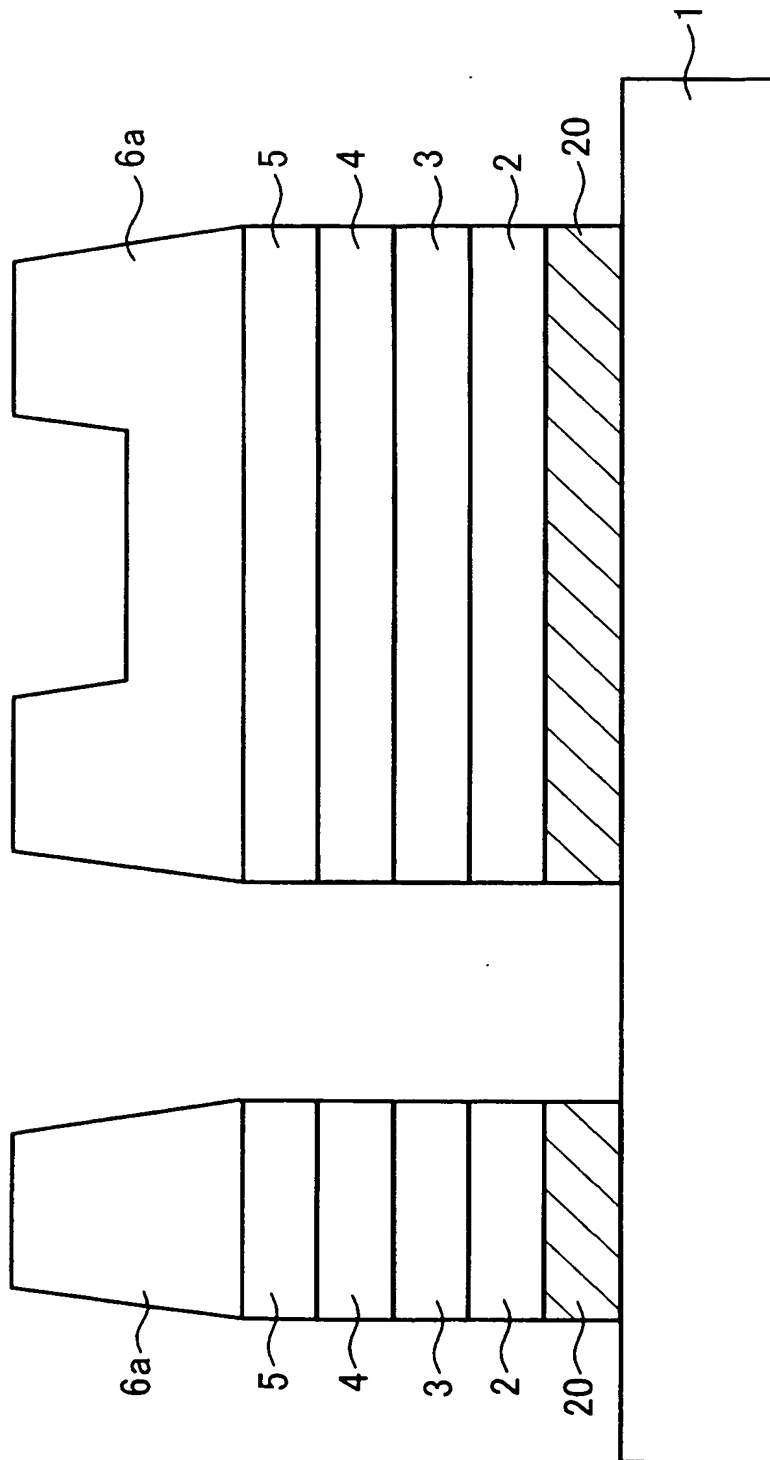
【図 29】



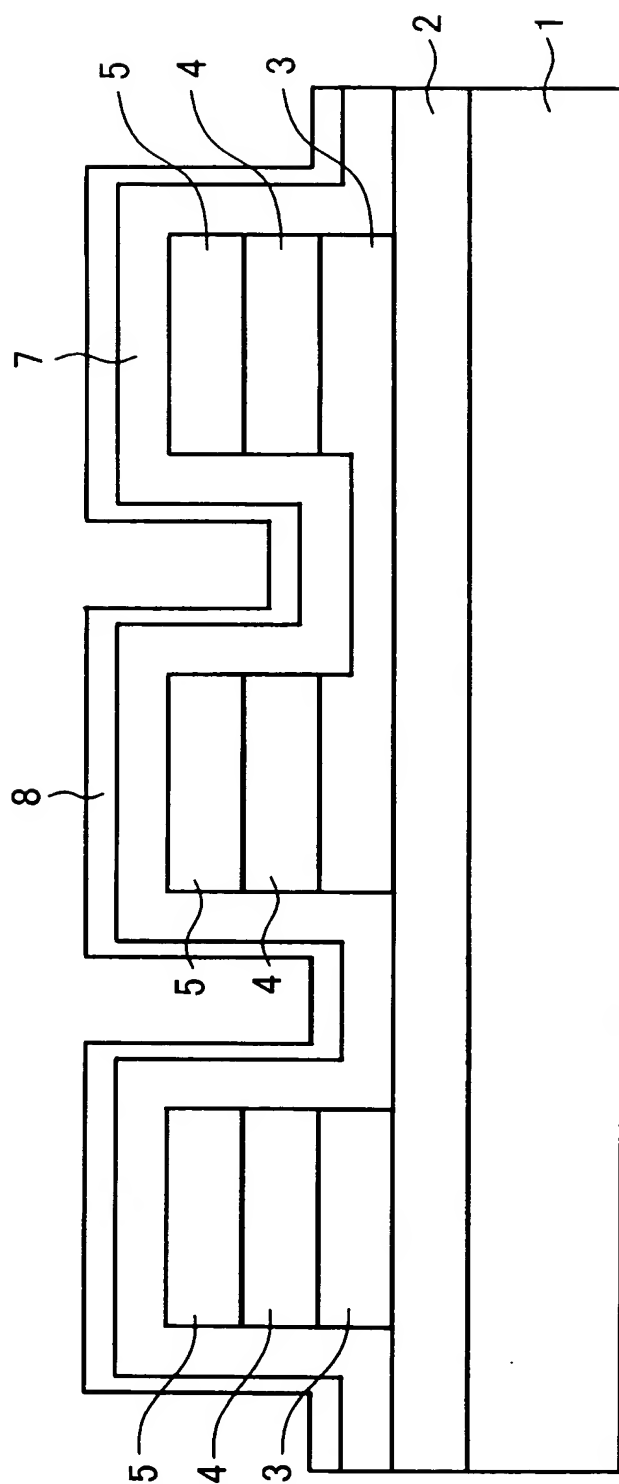
【図 30】



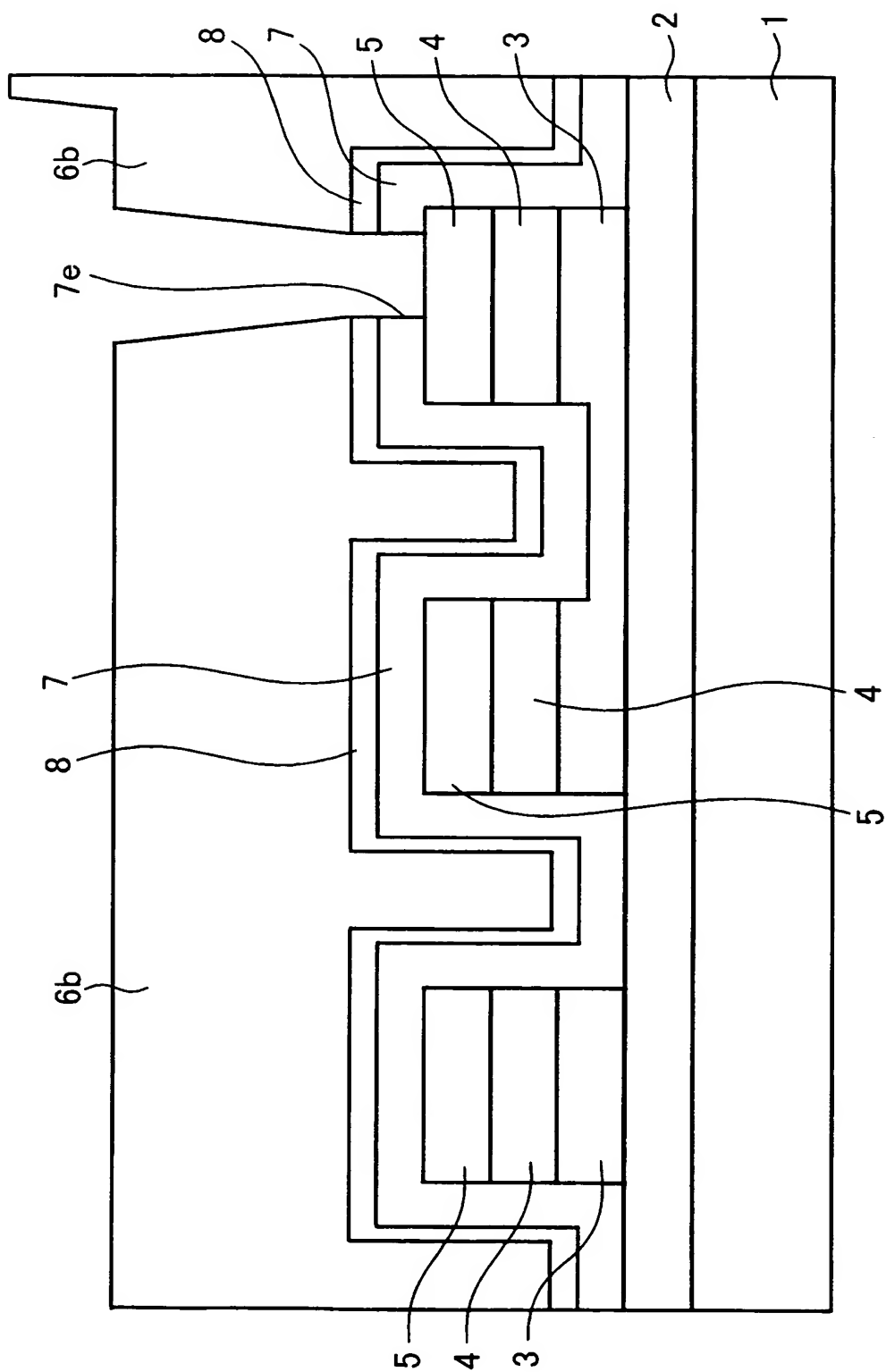
【図 31】



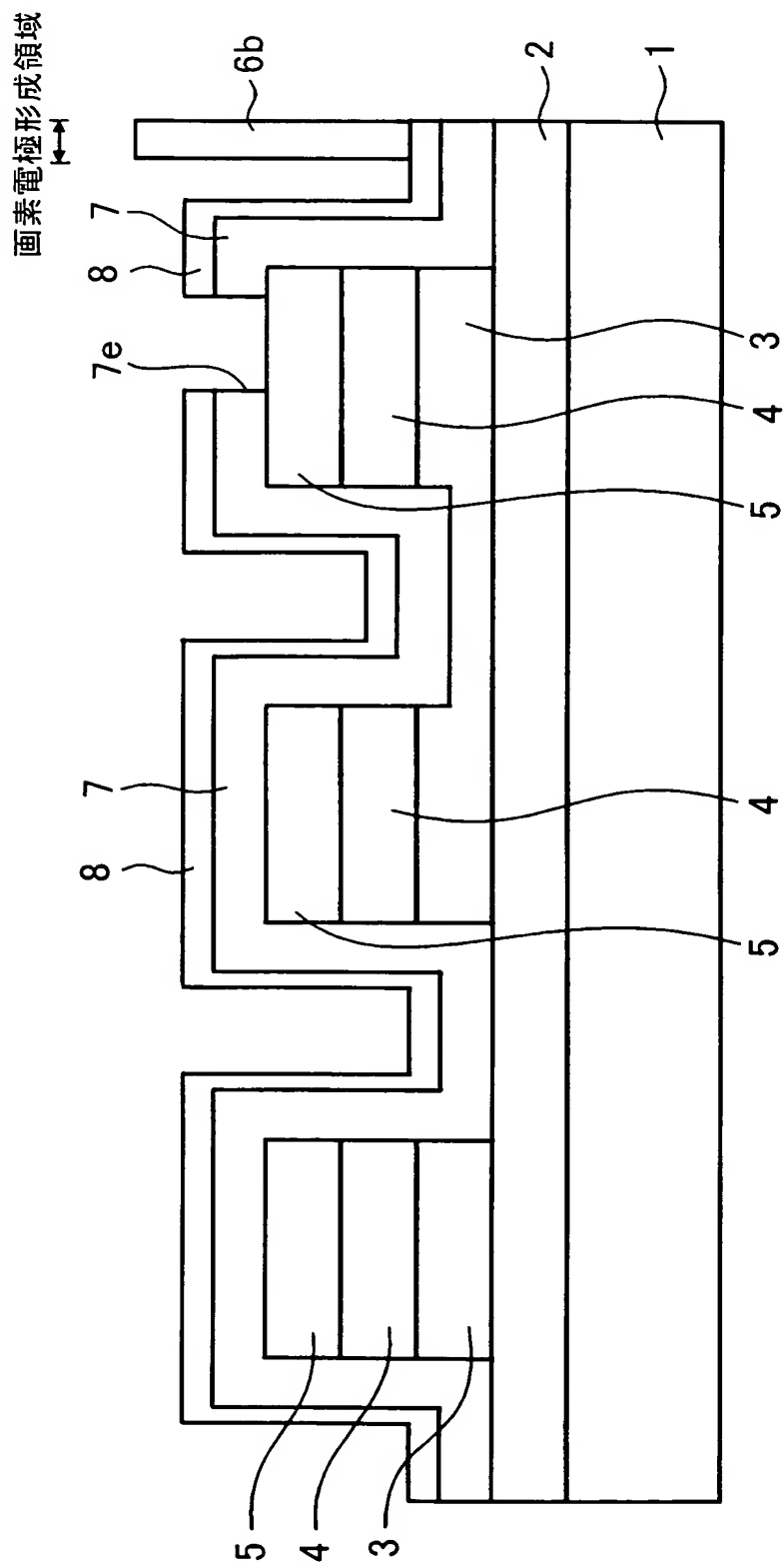
【図 32】



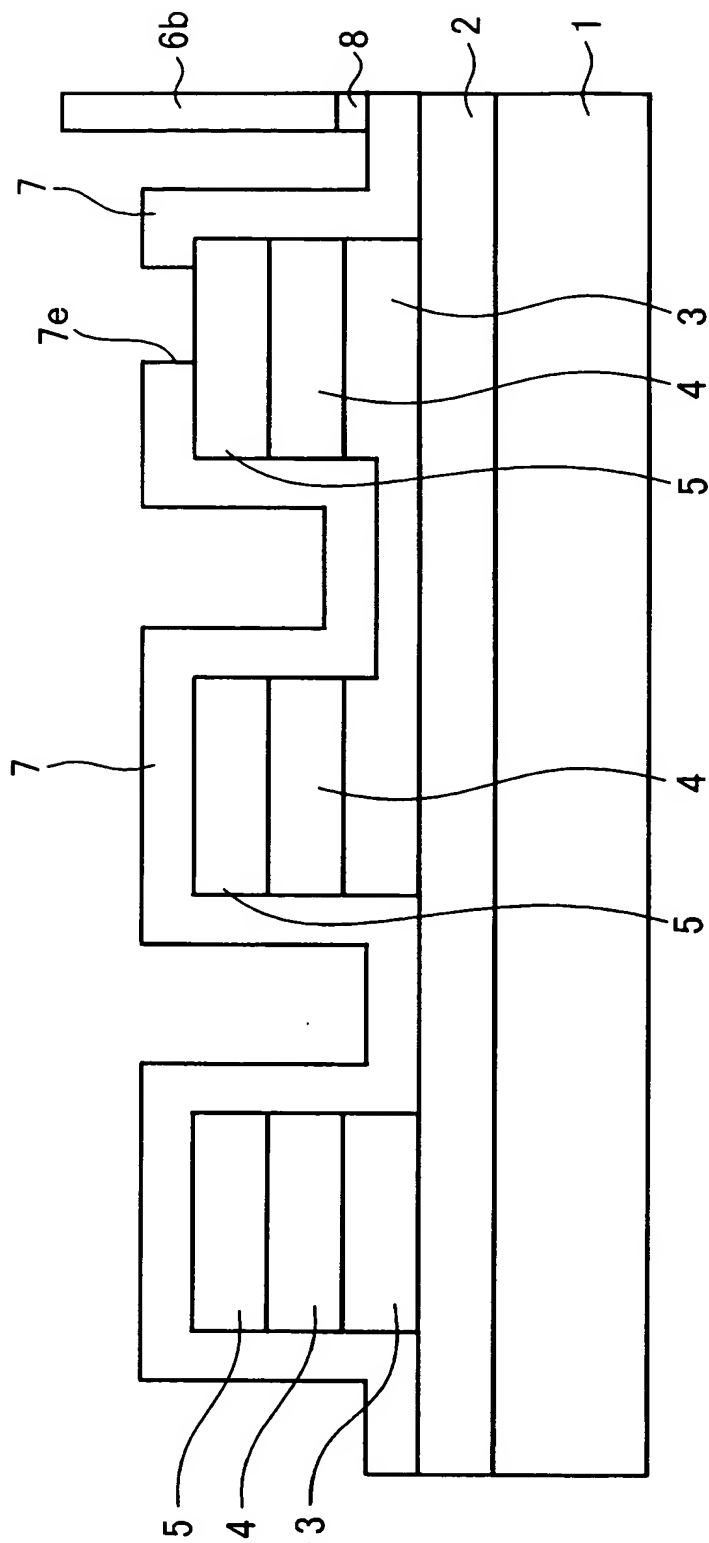
【図 3 4】



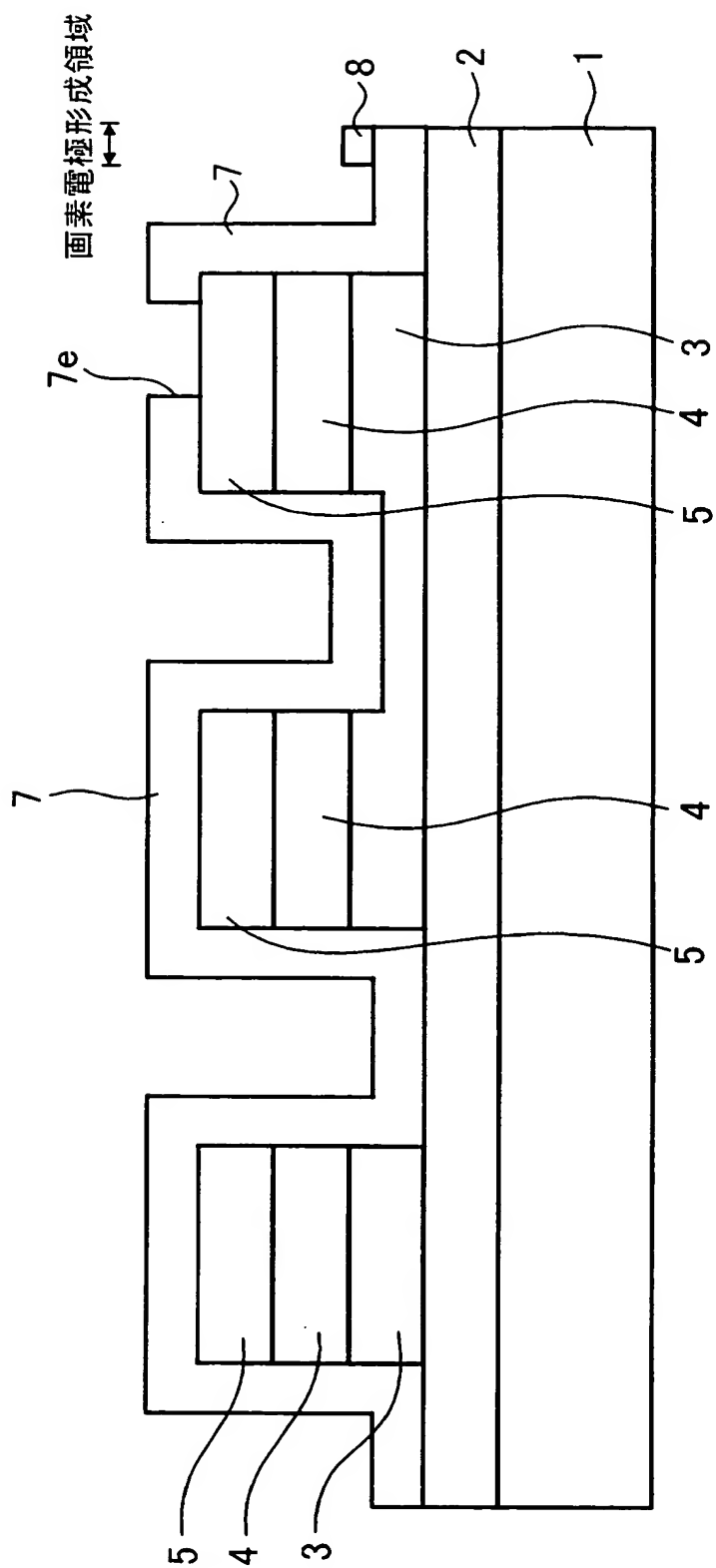
【図 35】



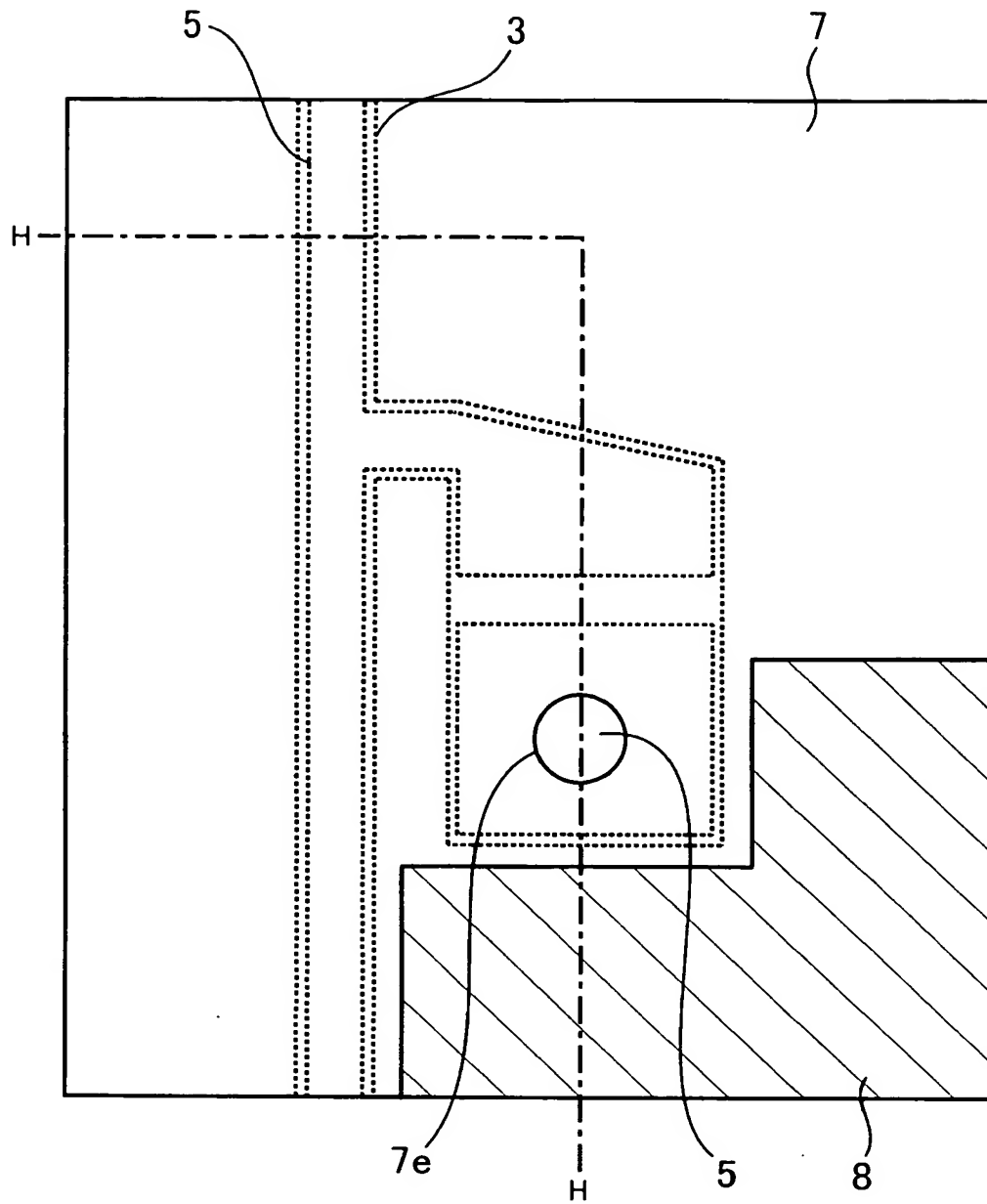
【図 36】



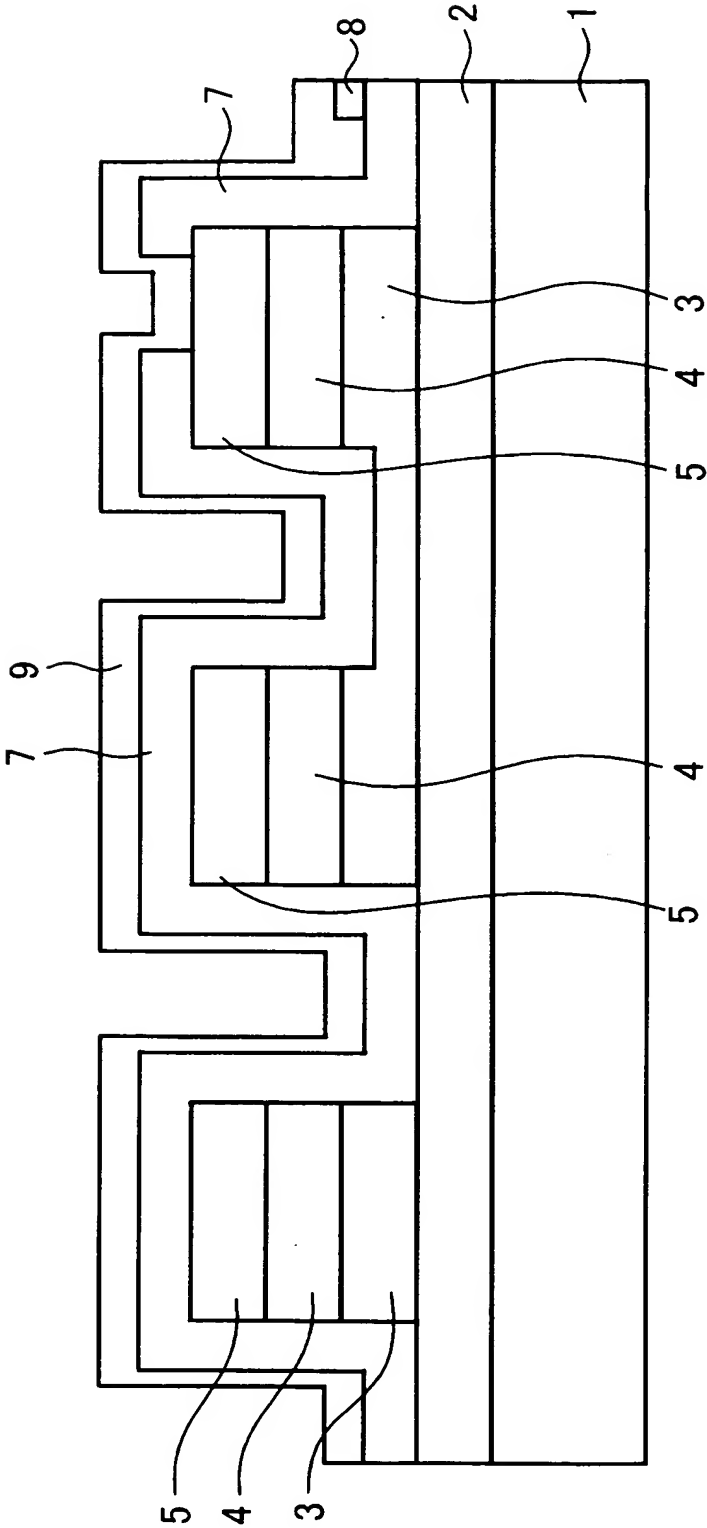
【図 3 7】



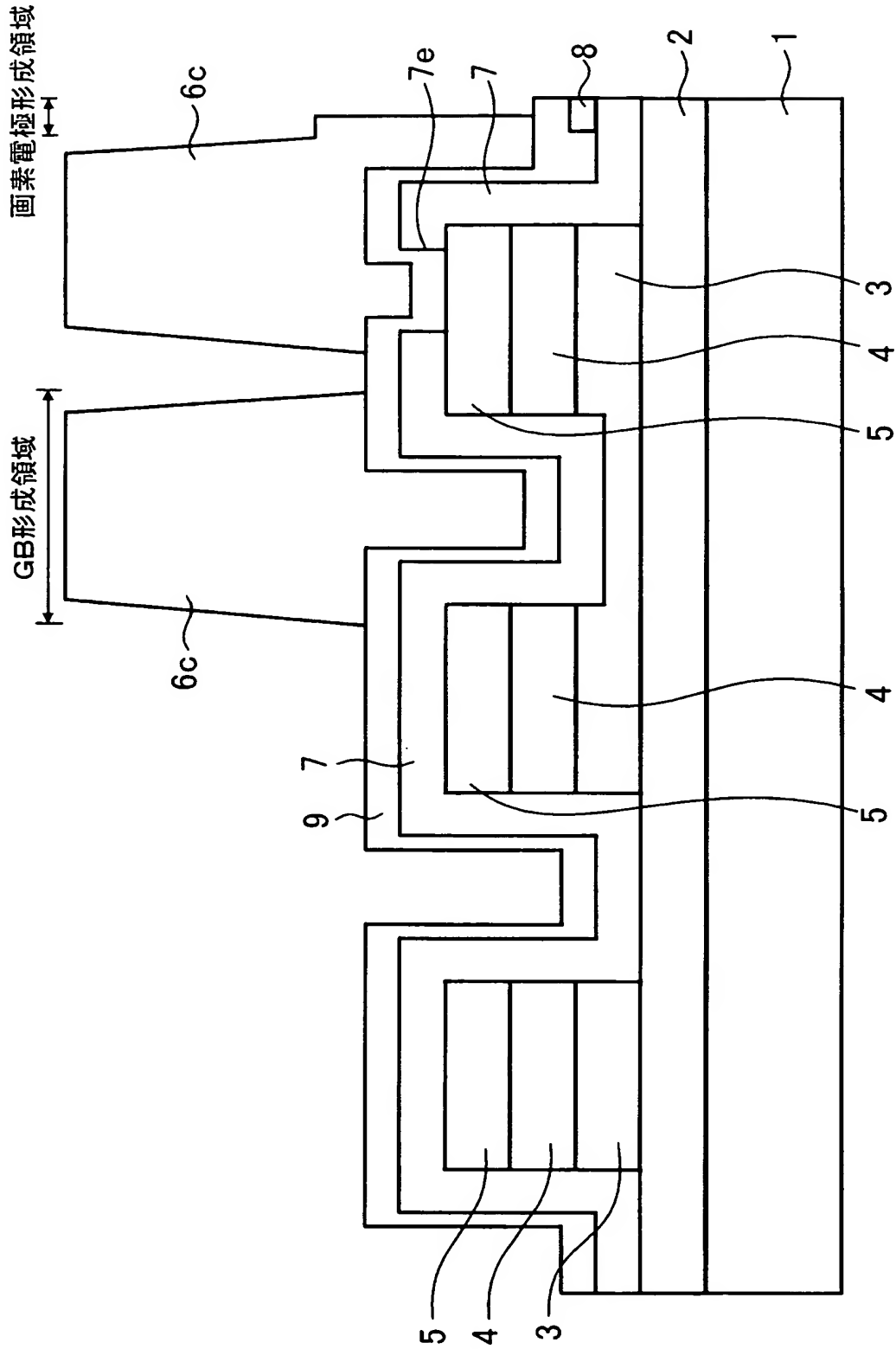
【図 38】



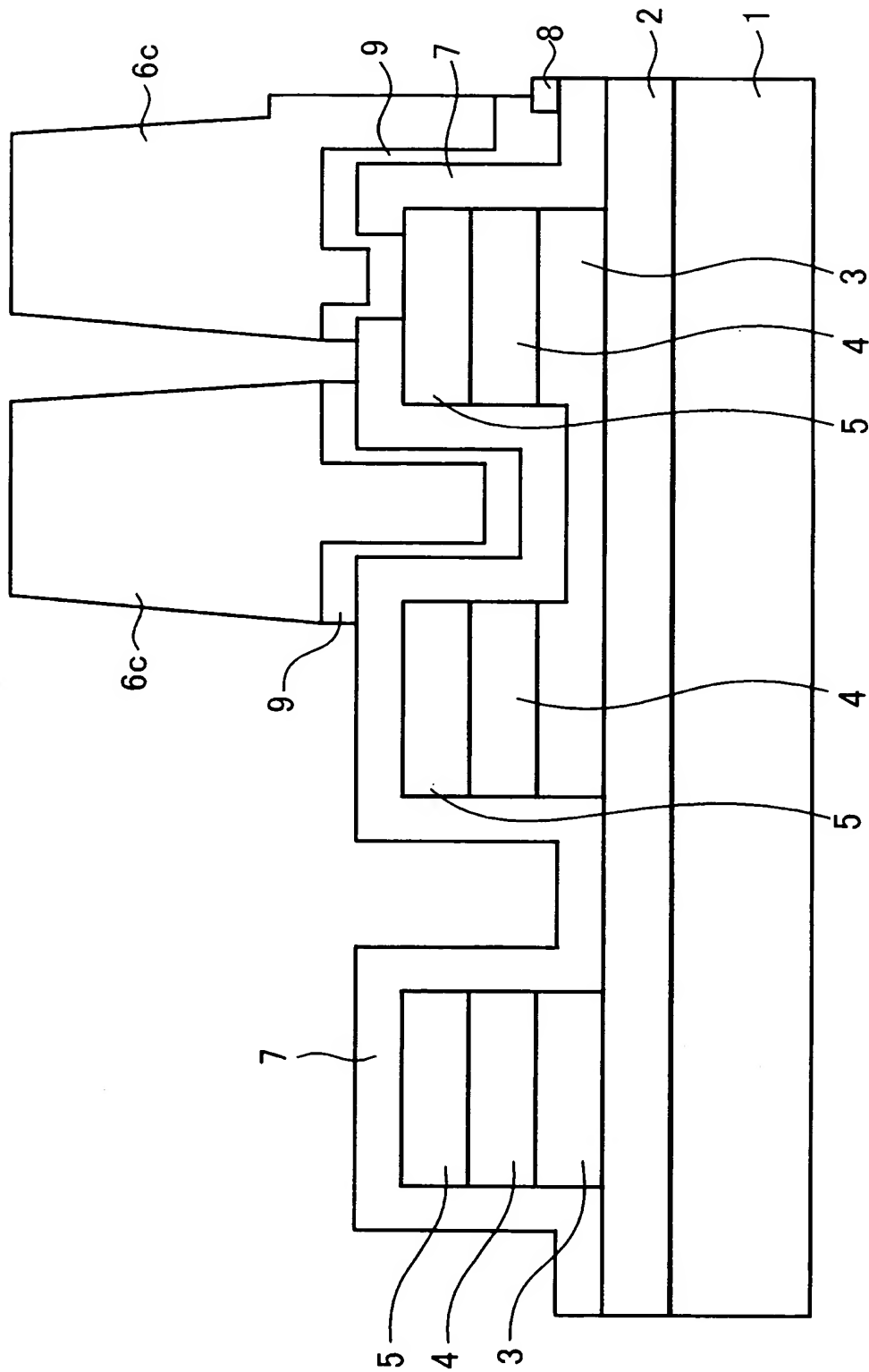
【図 39】



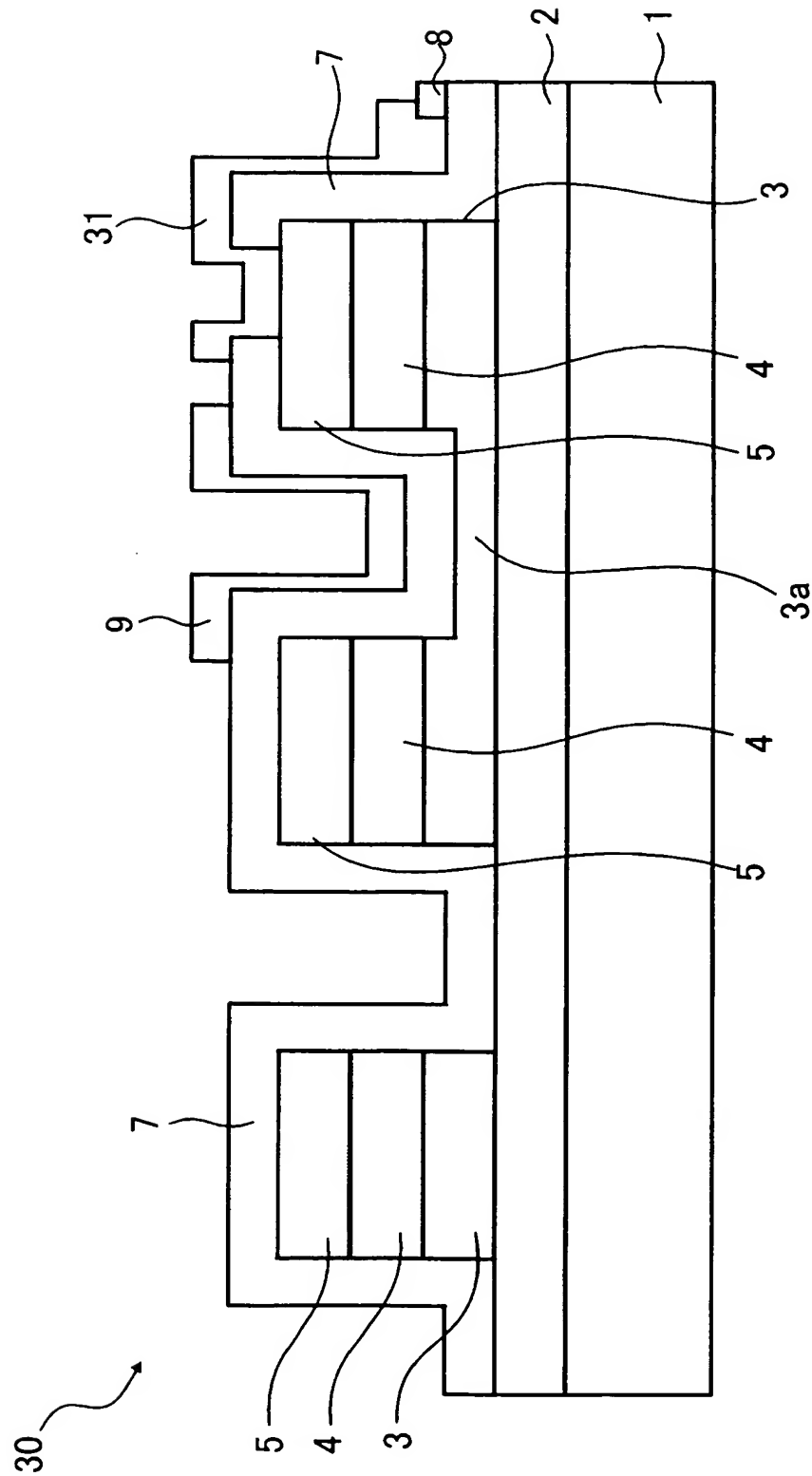
【図 40】



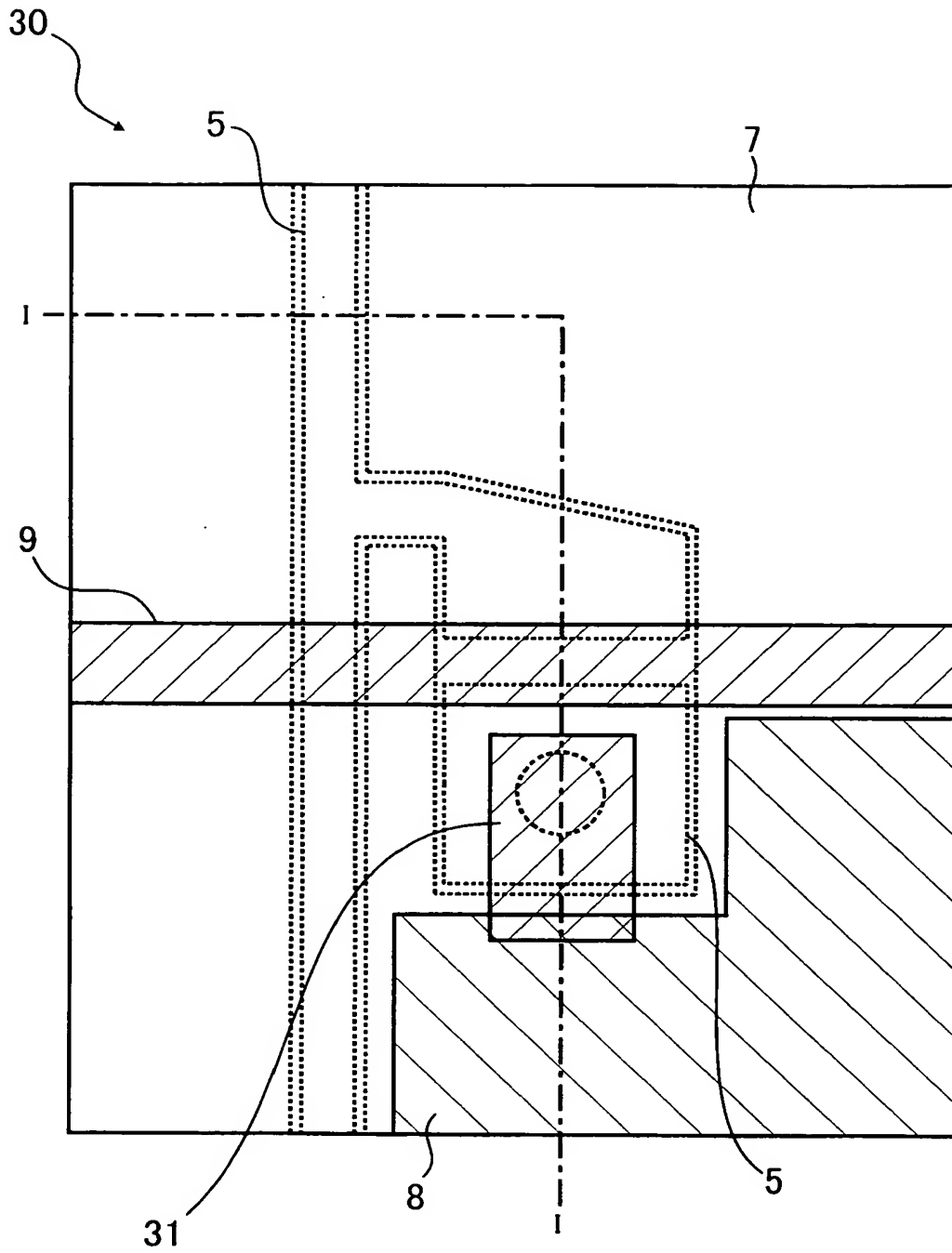
【図 41】



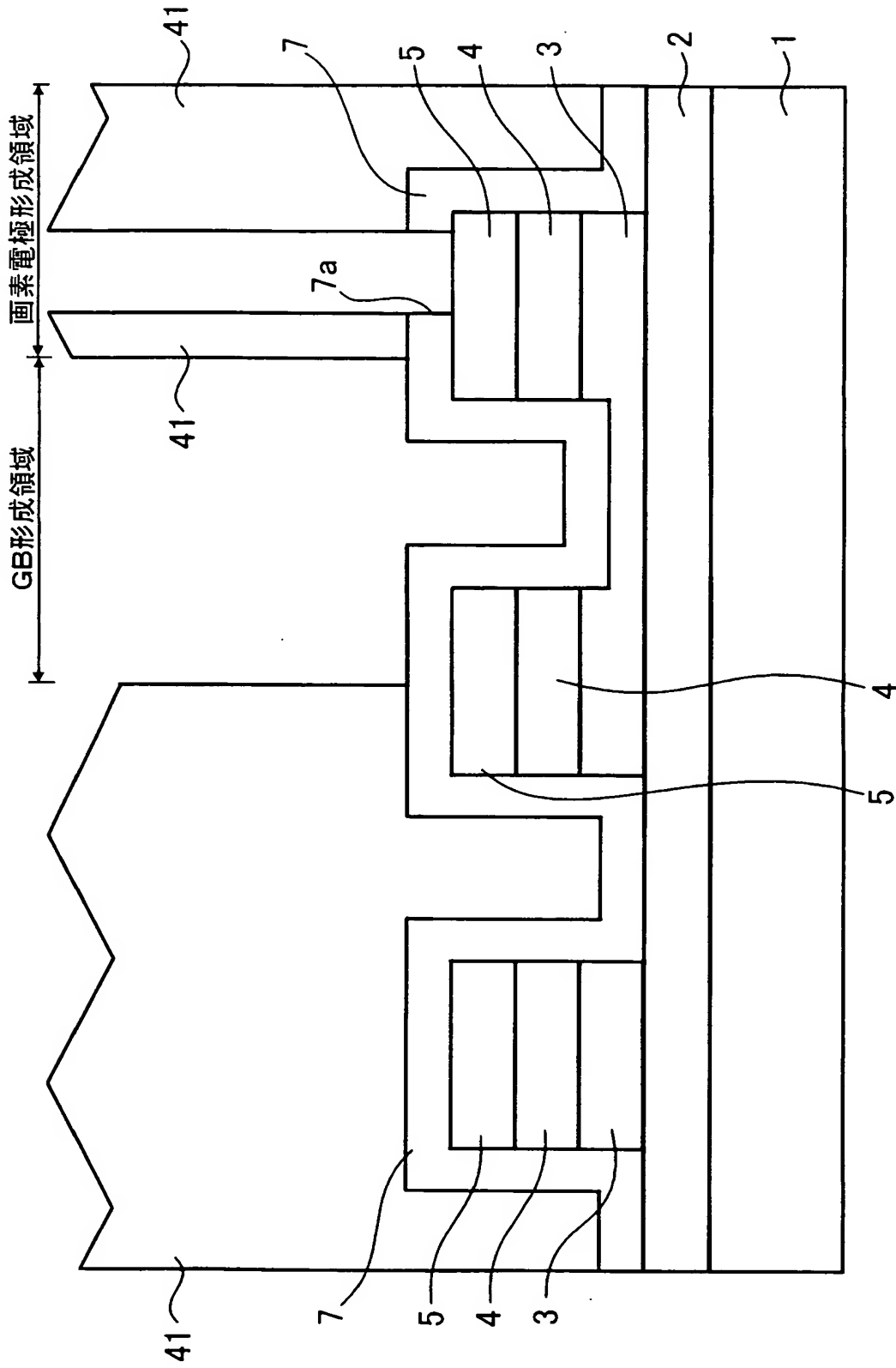
【図 42】



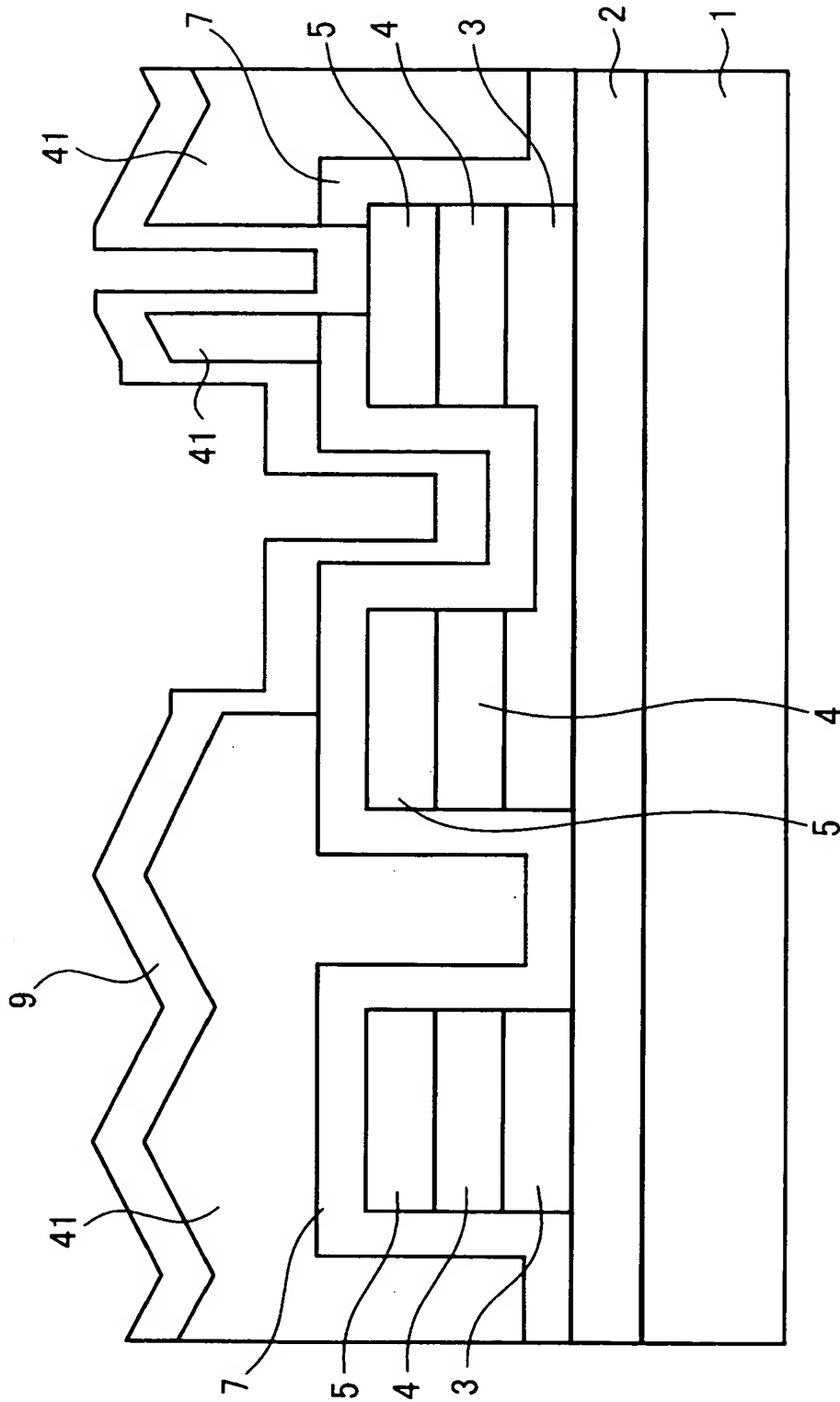
【図 43】



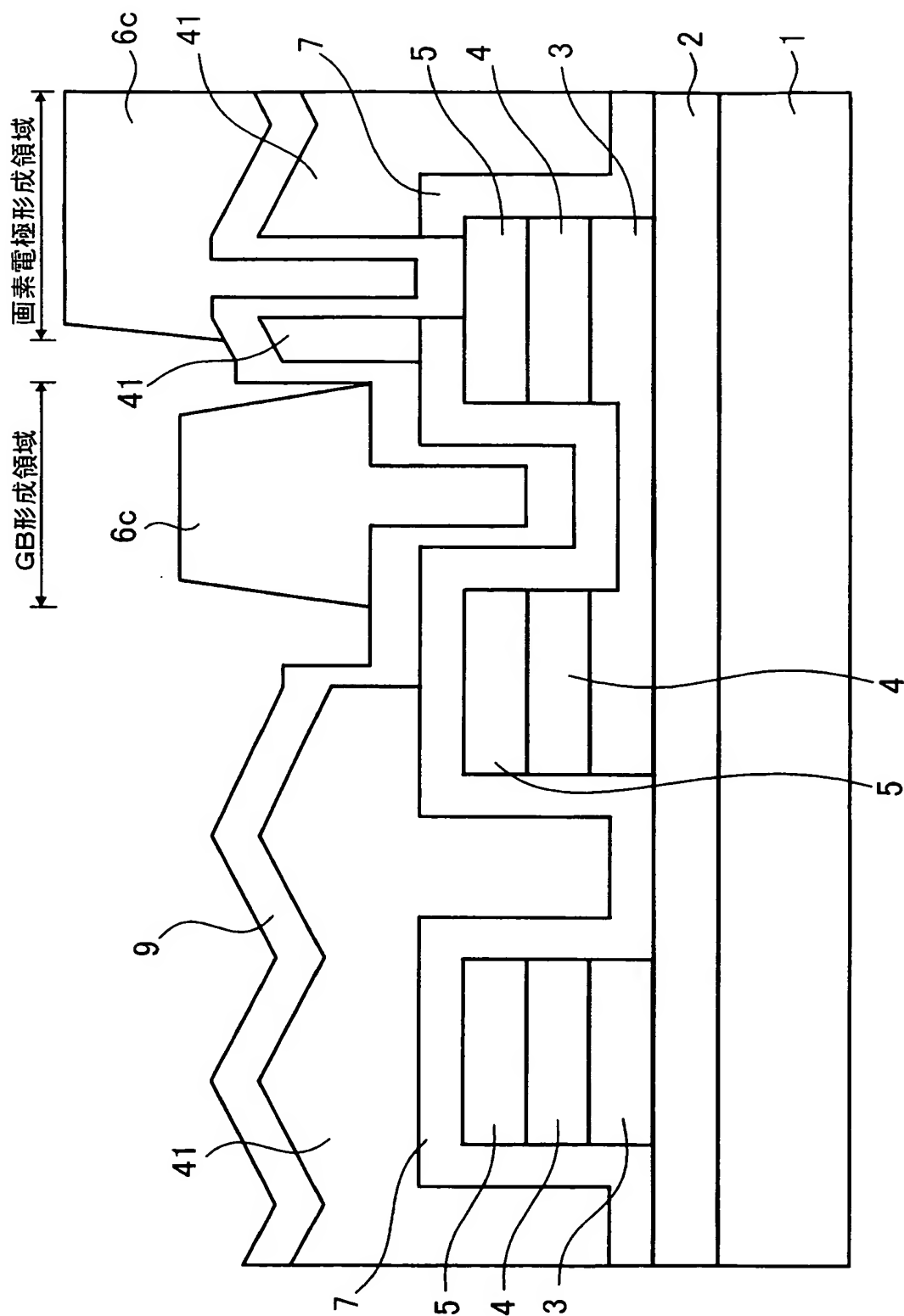
【図 44】



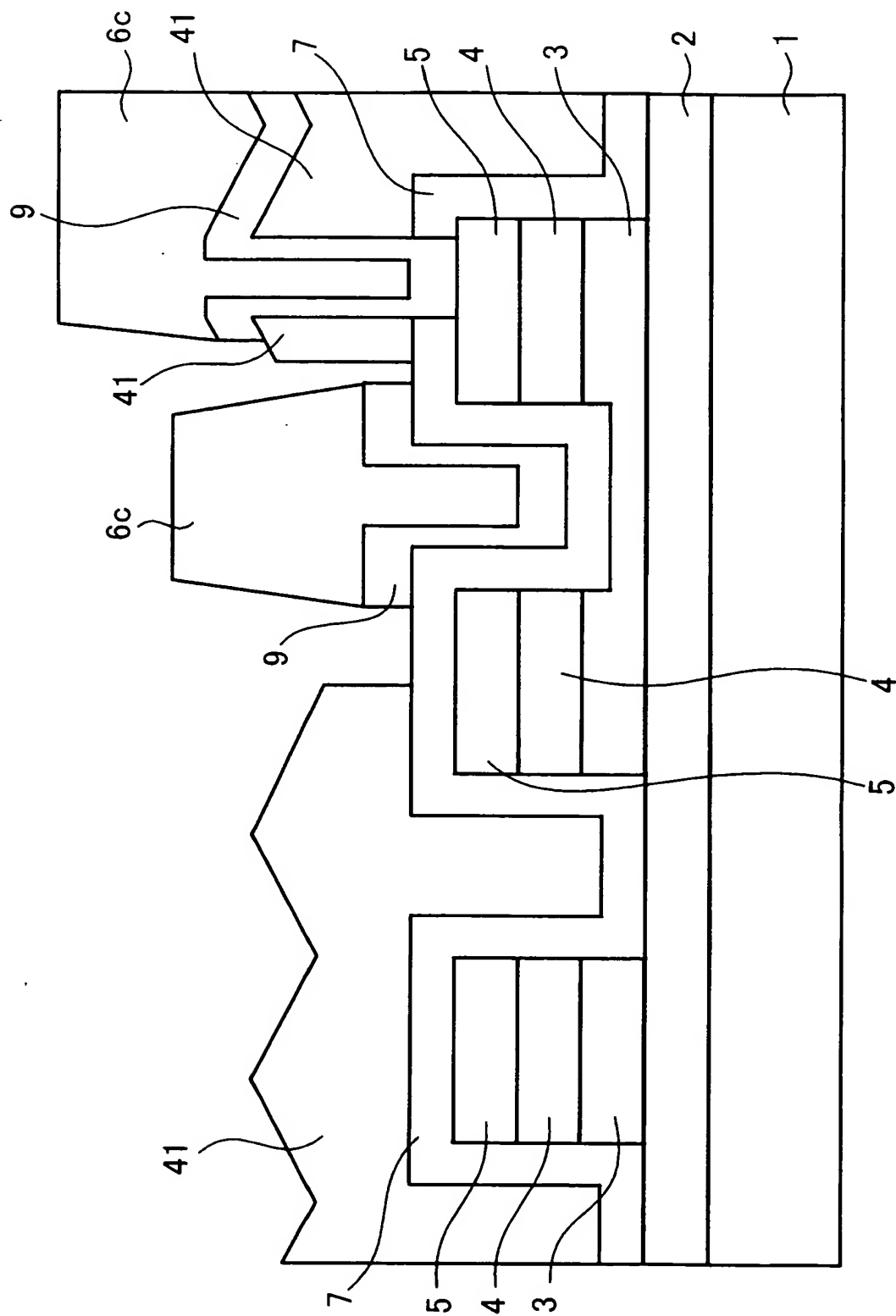
【図 45】



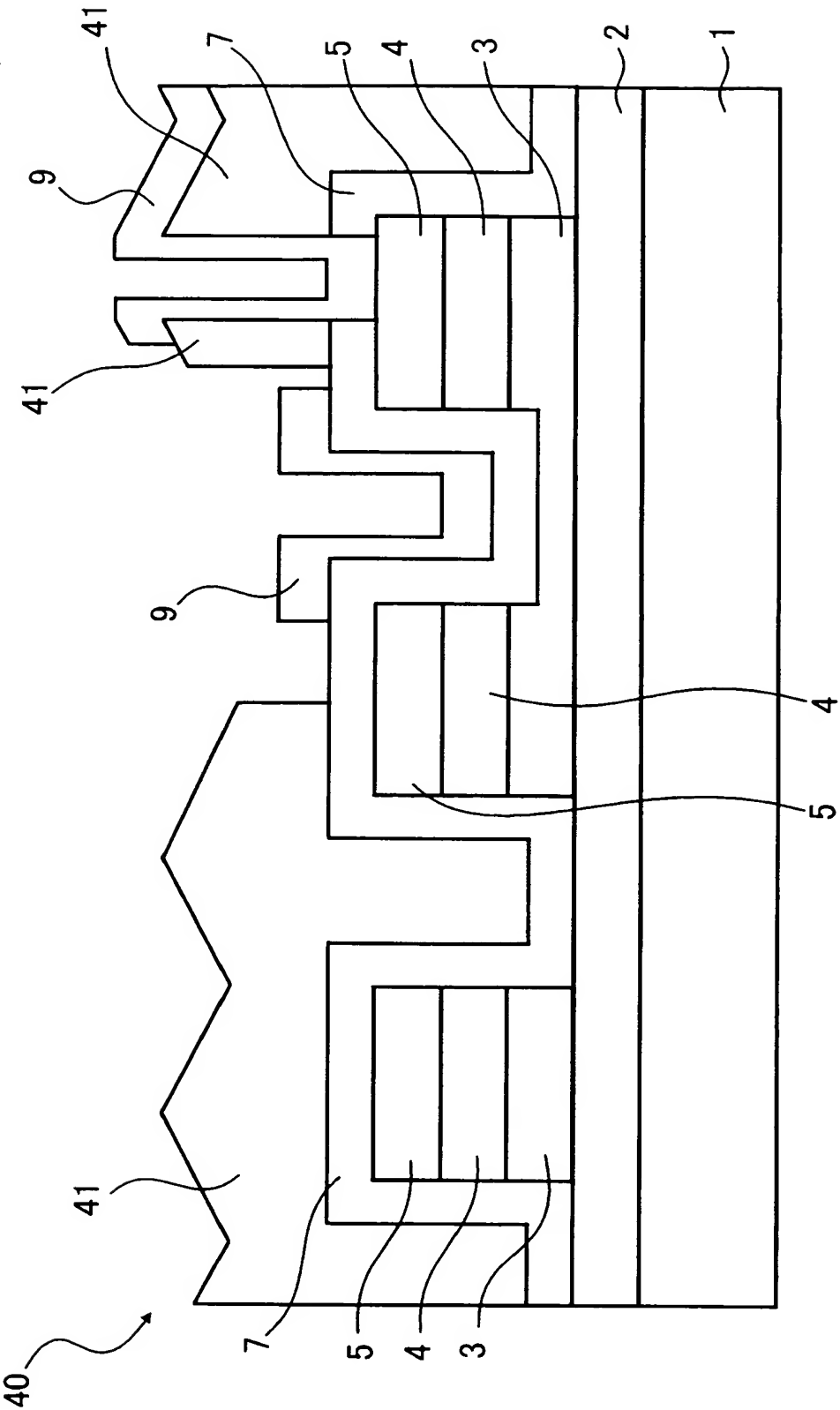
【図 4 6】



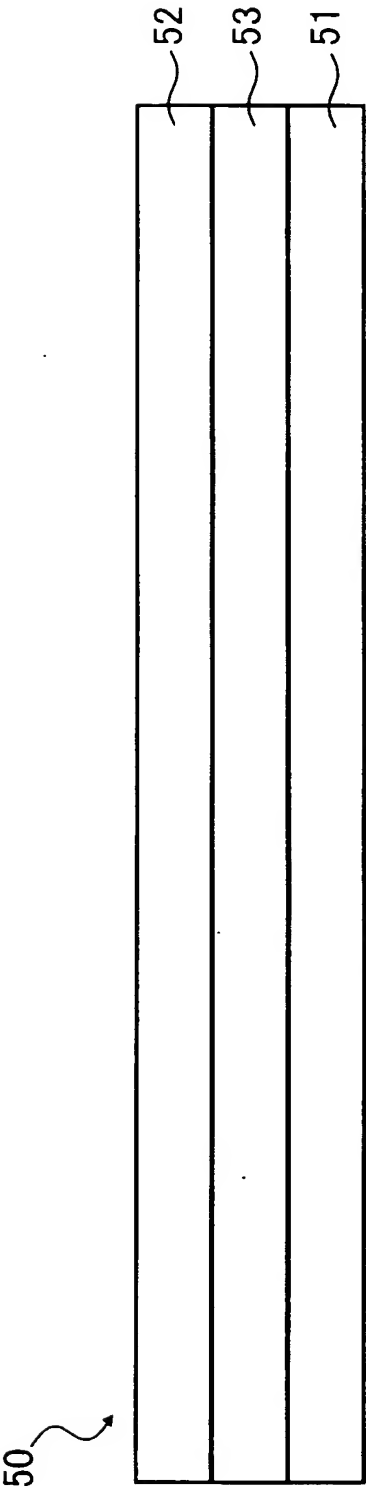
【図 47】



【図 48】



【図 4 9】



【書類名】 要約書

【要約】

【課題】 スタガー型 T F T 基板製造の露光工程数を削減する。

【解決手段】 ハーフトーンマスクを用いて T F T 基板のドレインバスライン（DB）を形成する領域と T F T を形成する領域にレジストパターンを形成し（ステップ S 1）、そのレジストパターンをマスクにしたエッチングにより DB を形成し、チャンネルエッチングを行なって T F T のチャンネルとなる部分を形成する（ステップ S 2）。さらに、ハーフトーンマスクを用いてゲートバスライン（GB）を形成する領域と画素電極を形成する領域にレジストパターンを形成し（ステップ S 4）、そのレジストパターンをマスクにしたエッチングにより GB および画素電極を形成する（ステップ S 5）。DB とチャンネル、GB と画素電極がそれぞれ 1 枚のハーフトーンマスクで形成され、スタガー型 T F T 基板製造の露光工程数が削減される。

【選択図】 図 1

特願 2003-070504

出 願 人 履 歴 情 報

識別番号

[302036002]

1. 変更年月日
[変更理由]
住 所
氏 名

2002年 6月13日
新規登録
神奈川県川崎市中原区上小田中4丁目1番1号
富士通ディスプレイテクノロジーズ株式会社